

МИНИСТЕРСТВО ОБРАЗОВАНИЮ И НАУКИ РОССИЙСКОЙ ФЕДЕРАЦИИ
Федеральное государственное бюджетное образовательное учреждение
высшего профессионального образования
**«НАЦИОНАЛЬНЫЙ ИССЛЕДОВАТЕЛЬСКИЙ
ТОМСКИЙ ПОЛИТЕХНИЧЕСКИЙ УНИВЕРСИТЕТ»**

А. Ю. Чернышев, Е. А. Шутов

**ЭЛЕКТРОННАЯ И МИКРОПРОЦЕССОРНАЯ
ТЕХНИКА**

Издательство
Томского политехнического университета
Томск 2010

УДК 621.382.2/.3(075.8)

ББК 31.264.5

Ч–496

Чернышев А. Ю.

Ч–496 Электронная и микропроцессорная техника: учебное пособие / А.Ю. Чернышев, Е.А. Шутов. – Томск: Изд-во Томского политехнического университета, 2010. – 135 с.

В учебном пособии изложены теоретические основы принципа действия электронных устройств, выполненных на логических схемах и операционных усилителях, описаны элементы цифровых и микропроцессорных систем.

Работа подготовлена на кафедре электропривода и электрооборудования ТПУ и предназначена для студентов направления 140600 «Электромеханика, электротехника и электротехнологии», 140200 «Электроэнергетика».

УДК 681.3:621.3(076.5)

ББК 31.264.5

*Рекомендовано в качестве учебного пособия
Редакционно-издательским советом
Томского политехнического университета*

Рецензенты

Доктор технических наук, профессор ТУСУР
Бейнарович В.А.

Кандидат технических наук, доцент Северского
технологического института национального
исследовательского ядерного университета «МИФИ»
В.Б. Терехин

© И.А. Чернышев, А.Ю. Чернышев, 2010

© Томский политехнический университет, 2010

© Оформление. Издательство Томского политехнического университета, 2010

ВВЕДЕНИЕ

Курс «Электроника и микропроцессорная техника» ориентирован на студентов электромеханических и электроэнергетических специальностей. При изучении курса студенты должны изучить основы принципа действия электронных устройств, научиться их квалифицированно эксплуатировать, анализировать и описывать физические процессы, протекающие в электронных устройствах; выбирать типовые микросхемы для решения поставленной задачи; экспериментально исследовать, практически настраивать, определять и устранять возможные неполадки в работе электронных устройств; проводить входной контроль исправности работы и соответствия техническим условиям (ТУ) электронных компонентов, включая электронные схемы различного уровня интеграции

Покажем структуру, реализующую принцип параллельной обработки аналоговых сигналов, поступающих от датчиков СОД (рис. 1.1, а).

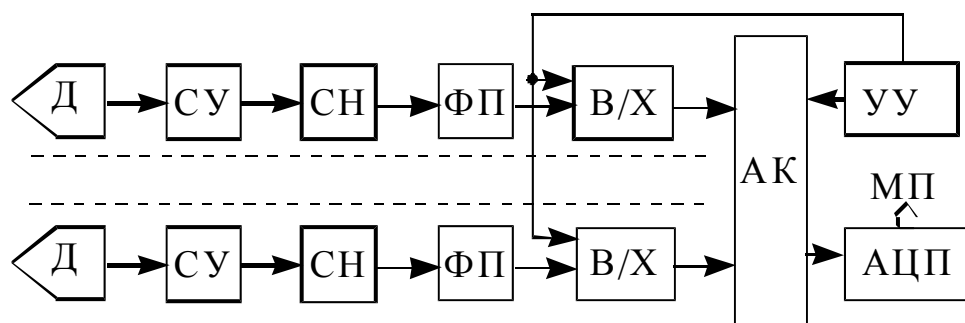
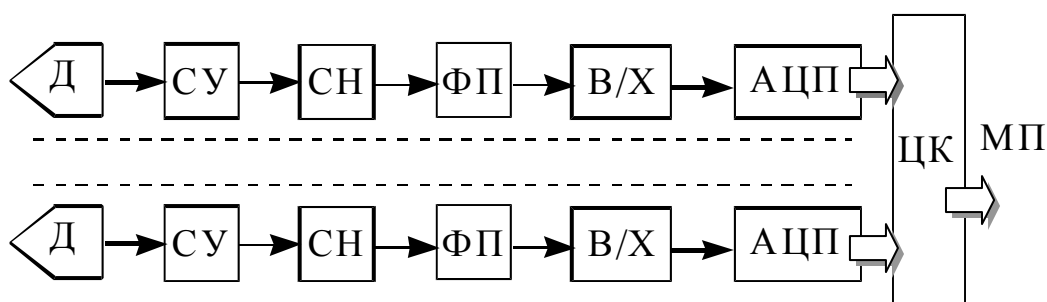


Рис. 1.1

Контролируемый параметр (скорость, координата, температура, давление и т.д.) с помощью соответствующего датчика Д преобразуется в электрический сигнал. Часто датчики имеют большое выходное сопротивление и малый динамический диапазон (например, при изменении температуры на 100°C выходное напряжение датчика изменится на 3 мВ). Следовательно, необходимо применение согласующего устройства СУ, выполняющего в общем случае функции: усиления сигнала до необходимого уровня; расширение динамического диапазона входного сигнала; согласование датчика и других элементов канала СОД по нагрузке. Далее с помощью схемы нормализации СН из сигнала удаляются нежелательные низкочастотные и высокочастотные составляющие. Функциональные преобразования ФП аналогового сигнала проводятся с целью введения в структуру датчика блоков для воспроизведения определенных математических операций и повышения его точностных параметров. Так, измерение скорости потока жидкости или газа основано на применении датчиков перепада давления в двух точках потока P . В этом случае скорость потока $v = \sqrt{2g\Delta P}$. Преобразованный сигнал поступает на устройство выборки-хранения В/Х и далее на аналого-цифровой преобразователь АЦП. Цифровой коммутатор ЦК осуществляет выбор канала и передает информацию в микропроцессор МП.

Преобразование аналоговой величины в цифровую всегда происходит за некоторый конечный промежуток времени. В течение этого промежутка времени сигнал на входе АЦП должен поддерживаться неизменным. Эту функцию выполняет устройство В/Х, сигнал на выходе которого пропорционален сигналу на входе до тех пор, пока не последует команда запоминания, после которой сигнал на выходе остается постоянным в течение промежутка времени, необходимого для преобразования сигнала в цифровую форму.

Показанная структура (рис. 1.1, а) позволяет обеспечить максимальную производительность аппаратуры всех каналов систем СОД (из-за независимости обработки каждого сигнала) и высокое качество преобразования сигналов вследствие возможности системы по обеспечению требуемого уровня нормализации сигнала на входе АЦП в каждом канале. Такой вариант построения систем сбора данных имеет большое будущее, однако на современном этапе развития микросхемотехники при его реализации имеет место более высокая стоимость СОД вследствие сравнительно высокой стоимости интегральных схем АЦП.

Другой вариант построения структуры системы СОД (рис. 1.1, б) основан на принципе последовательной обработки аналоговых сигналов и перенесения управляемого процесса коммутации (УУ – устройство

управления) из цифровой в аналоговую область (АК – аналоговый коммутатор). Высокие технические характеристики, свойственные структуре, приведенной на рис.1.1, б, обеспечены теми же функциональными блоками, которые были включены в состав структуры на рис. 1.1, а. Производительность такой системы находится в прямой зависимости от быстродействия АЦП и ограничена его динамическими параметрами, поэтому в подобных системах необходимо применять АЦП с максимальным быстродействием.

Проектируя ту или иную систему с использованием микроЭВМ, необходимо рассмотреть особенности схемотехники цифровых и аналоговых элементов сопряжения, а также схемы средней степени интеграции, являющиеся многофункциональными узлами ЭВМ.

1. ЛОГИЧЕСКИЕ УСТРОЙСТВА

Типовые элементы логических устройств служат основой для создания ЭВМ и автоматов дискретного действия. В логических устройствах сигнал на входе и выходе каскада является бинарным. Он может принимать только два значения – логического нуля «0» и логической единицы – «1». Значения «0» и «1» являются символическими и не соответствуют числовым значениям напряжения, выражаемым в вольтах. Например, при использовании выходного напряжения ключевого каскада уровнем логического «0» может служить напряжение на коллекторе насыщенного транзистора, уровнем логической «1» – напряжение на коллекторе запертого транзистора.

Типовые каскады логических устройств можно разделить на два класса:

- ◆ *логические элементы* - осуществляют преобразование логических сигналов;

- ◆ *элементы памяти* – осуществляют запоминание информации.

Логические устройства можно также разделить на комбинационные и последовательностные. *Комбинационные логические устройства* состоят из элементов, выходной сигнал которых зависит только от входных сигналов в рассматриваемый момент времени. *Последовательностные логического устройства* кроме логических элементов содержат элементы памяти, выходной сигнал которых зависит не только от входных сигналов в рассматриваемый момент времени, но и от напряжения на выходах элементов памяти, являющегося результатом логической обработки сигналов, поступавших в предыдущие моменты времени.

1.1. Основы булевой алгебры

Проектирование логических устройств и выбор наиболее оптимальных вариантов их построения производят с использованием алгебры Буля. В алгебре Буля используют двоичную переменную X , удовлетворяющую условию: $X = 1$, если $X \neq 0$, и $X = 0$, если $X \neq 1$. С такими переменными можно производить следующие логические операции.

1. *Операция дизъюнкции.* Эту операцию называют также операцией ИЛИ (операцией логического сложения). Для двух переменных X_1 и X_2 аналитически эту операцию записывают в виде

$$Y = X_1 + X_2 = X_1 \vee X_2.$$

Для случая нескольких переменных

$$Y = X_1 + X_2 + \dots + X_N.$$

Условное обозначение логического элемента, выполняющего эту операцию, приведено на рис. 1.2, а. Простейшее логическое устройство, выполняющее операцию дизъюнкции над логическими переменными X_1 и X_2 , представлено на рис. 1.2, б. Если единичный уровень присутствует хотя бы на одном входе, то через открытый диод $VD1$ ($VD2$) это напряжение передается на выход, создавая единичный уровень напряжения. Тогда таблица истинности для данного элемента будет соответствовать табл. 1.1.

2. *Операция конъюнкции.* Эту операцию также называют И (логическое умножение). Аналитически операцию для двух переменных записывают в виде

$$Y = X_1 X_2 = X_1 * X_2 = X_1 \wedge X_2.$$

Условное обозначение логического элемента, выполняющего операцию конъюнкции, показано на рис. 1.3, а. Принципиальная схема простейшего каскада И представлена на рис. 1.3, б.

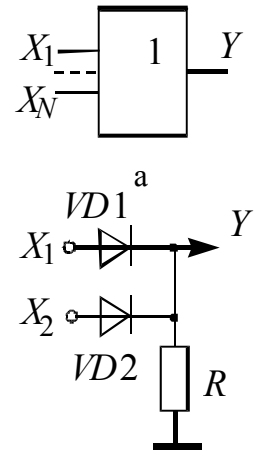


Рис. 1.2

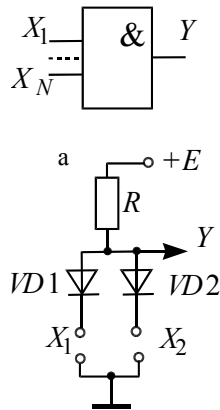


Рис. 1.3, б

Если хотя бы на одном входе схемы имеется низкий уровень напряжения, принимаемый за условный нуль, то диод, связанный через катод с этим входом, открыт, и напряжение на его аноде, а следовательно, и на выходе устройства, равно нулю. Таблица истинности элемента И будет соответствовать табл. 1.2.

Таблица 1.2

X_1	X_2	Y
0	0	0
0	1	0
1	0	0
1	1	1

3. *Операция инверсии.* Эту операцию называют операцией НЕ (операция логического отрицания). Операцию инверсии записывают в виде

$$Y = \bar{X}.$$

Выполняется эта операция над одной переменной X .

Таблица 1.3

X	Y
0	1
1	0

Таблица истинности для этой операции соответствует табл. 1.3. Условное обозначение устройства, выполняющего данную операцию, представлено на рис. 1.4. Кружок у выхода Y условно обозначает инверсию значения Y относительно X .

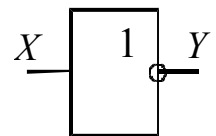


Рис. 1.4

Из сопоставления таблиц истинности для операций ИЛИ и И можно выявить следующую закономерность:

♦ И и ИЛИ можно поменять местами, если значение «0» поменять на «1», «1» на «0», а знак «+» на «*» и «*» на «+».

Это отражение принципа двойственности в алгебре Буля:

если $X_1 X_2 = Y$ то $\bar{X}_1 + \bar{X}_2 = \bar{Y}$; если $X_1 + X_2 = Y$ то $\bar{X}_1 \bar{X}_2 = \bar{Y}$.

Учитывая правила выполнения операций дизъюнкции для случая одной переменной, получаем соотношения:

$$X + 0 = X; \quad X + 1 = 1; \quad X + X = X; \quad X + \bar{X} = 1.$$

Аналогично, учитывая правила операции конъюнкции, получаем:

$$X * 0 = 0; \quad X * 1 = X; \quad X * X = X; \quad X * \bar{X} = 0.$$

Дважды используя правило инверсии, получаем равенство

$$\bar{\bar{X}} = X.$$

В частности, можно видеть, что выполнение операции ИЛИ с одним или несколькими X не изменяет значения переменной

$$X + X = X + X + X + \dots = X.$$

Для различных сочетаний двух и более переменных используют следующие законы булевой алгебры.

Закон коммутативности (переместительный):

$$X_1 + X_2 = X_2 + X_1; \quad X_1 X_2 = X_2 X_1.$$

Закон ассоциативности (сочетательный):

$$X_1 + X_2 + X_3 = X_1 + (X_2 + X_3) = (X_1 + X_2) + X_3;$$

$$X_1 X_2 X_3 = X_1 (X_2 X_3) = (X_1 X_2) X_3.$$

Закон дистрибутивности (распределительный):

$$X_1(X_2 + X_3) = X_1X_2 + X_1X_3;$$

$$X_1 + (X_2X_3) = (X_1 + X_2)(X_1 + X_3).$$

Последнее утверждение не имеет аналога в обычной алгебре. Докажем справедливость этого соотношения:

$$(X_1 + X_2)(X_1 + X_3) = X_1X_1 + X_1X_3 + X_1X_2 + X_2X_3 =$$

$$= X_1(1 + X_2 + X_3) + (X_2X_3) = X_1 + (X_2X_3).$$

Закон поглощения:

$$X_1 + X_1X_2 = X_1;$$

$$X_1(X_1 + X_2) = X_1.$$

Закон склеивания:

$$X_1X_2 + \bar{X}_1X_2 = (X_1 + \bar{X}_1)X_2 = X_2.$$

Правило де Моргана:

$$\overline{X_1 + X_2} = \bar{X}_1 \cdot \bar{X}_2, \quad \overline{X_1X_2} = \bar{X}_1 + \bar{X}_2.$$

Справедливость этого правила вытекает из принципа двойственности булевой алгебры. Для нескольких переменных можно записать:

$$\overline{X_1 + X_2 + X_3 + \dots + X_N} = \bar{X}_1\bar{X}_2\bar{X}_3 \dots \bar{X}_N;$$

$$\overline{X_1X_2X_3 \dots X_N} = \bar{X}_1 + \bar{X}_2 + \bar{X}_3 + \dots + \bar{X}_N.$$

или

$$X_1 + X_2 + X_3 + \dots + X_N = \overline{\bar{X}_1\bar{X}_2\bar{X}_3 \dots \bar{X}_N};$$

$$X_1X_2X_3 \dots X_N = \overline{\bar{X}_1 + \bar{X}_2 + \bar{X}_3 + \dots + \bar{X}_N}.$$

1.2. Логические функции

Функция двоичных переменных X_1, X_2, \dots, X_N представляет собой двоичную функцию или булеву функцию $Y = f(X_1, X_2, \dots, X_N)$.

При числе логических аргументов N число возможных комбинаций (наборов) аргументов равно 2^N . Логическая функция считается

определенной, если известно ее логическое значение для каждого возможного набора переменных X_1, X_2, \dots, X_N . Если для некоторых наборов переменных значение функции Y не задано функцию называют *частично определенной*.

Бывают случаи, когда некоторые наборы аргументов заведомо невозможны для функции $Y = f(X_1, X_2, \dots, X_N)$ и Y не определена именно для этих наборов. В этом случае логическую функцию можно доопределить для запретных наборов любыми значениями (0 или 1) для удобства последующего анализа. Дополнительные условия, которые доопределяют частично определенные функции, называют *факультативными*.

Таблица 1.4

X_1	X_2	X_3	Y
0	0	0	0
0	0	1	0
0	1	0	0
0	1	1	1
1	0	0	0
1	0	1	1
1	1	0	1
1	1	1	1

Существует ряд способов представления логической функции:

- ♦ словами (оговорим правило дизъюнкции: значение Y истинно, если хотя бы один из аргументов принимает единичное значение);

- ♦ табличный (таблицы истинности, например табл.1.4).

От табличной формы легко перейти к аналитической записи. Каждое из произведений аргументов, для которых значение Y истинно (равно 1), называют *минтермом*. Аргумент входит в состав минтерма в прямом виде, если его значение равно 1, и в инверсном виде если значение аргумента 0. Так, например, для четвертой строки (табл.1.4) запишем: $Y = 1$ при $X_1 = 0, X_2 = 1, X_3 = 1$ (т.е. получили минтерм $\bar{X}_1 X_2 X_3$). А логическую функцию определяют как сумму минтермов:

$$Y = \bar{X}_1 X_2 X_3 + X_1 \bar{X}_2 X_3 + X_1 X_2 \bar{X}_3 + X_1 X_2 X_3. \quad (1.1)$$

Логическая функция $Y = f(X_1, X_2, X_3)$ представлена в виде дизъюнкции произведения переменных и их отрицаний.

Если при такой записи каждое слагаемое содержит произведение всех переменных $X_1 X_2 \dots X_N$ или их отрицаний, то такую форму представления функции называют *совершенной дизъюнктивно нормальной формой* (СДНФ) или *первой стандартной формой*.

Точно также можно выделить ложные (0) значения функции:

$$\bar{Y} = \bar{X}_1 \bar{X}_2 \bar{X}_3 + \bar{X}_1 \bar{X}_2 X_3 + \bar{X}_1 X_2 \bar{X}_3 + X_1 \bar{X}_2 \bar{X}_3,$$

используя правило де Моргана, получаем:

$$Y = (X_1 + X_2 + X_3)(X_1 + X_2 + \bar{X}_3)(X_1 + \bar{X}_2 + X_3)(\bar{X}_1 + X_2 + X_3).$$

Функция Y дана в виде произведения (конъюнкции) сумм переменных или их отрицаний. Такую форму представления логической функции называют *совершенной конъюнктивной нормальной формой* (СКНФ) или *второй стандартной формой*.

1.3. Построение комбинационной логической схемы по заданной функции

Для схемной реализации нашей СДНФ (1.1) нужны следующие логические элементы:

- ◆ инверторы. Число инверторов определяется числом аргументов, входящих в СДНФ в инверсном виде. В нашем случае все три аргумента присутствуют в выражении логической функции в инверсном виде, поэтому число инверторов равно 3;

- ◆ схемы И, которые обеспечивают операцию конъюнкции в соответствии с записью каждого минтерма. Число входов каждого элемента должно быть равно числу сомножителей в минтерме; число схем должно быть равно числу минтермов в формуле, т.е. применяем так называемые элементы 4-3И (4 трехвходовых элемента И) (рис. 1.5);

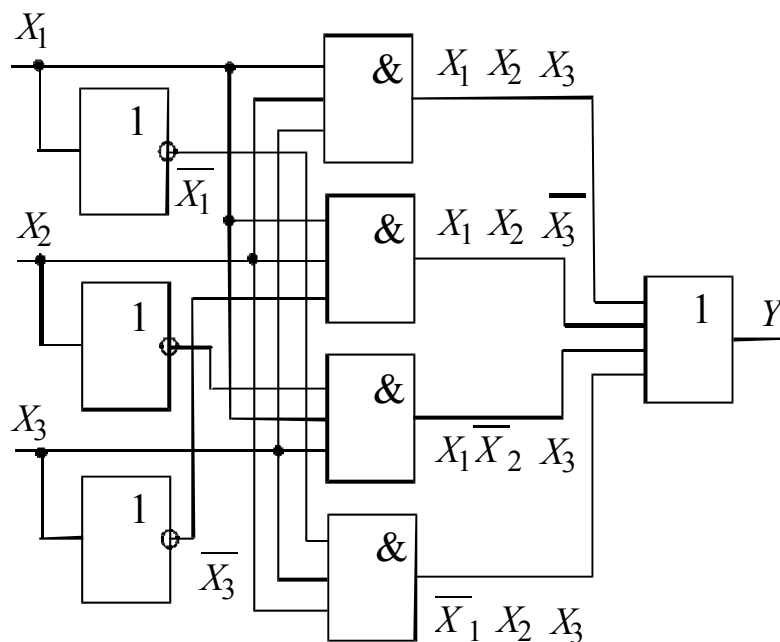


Рис. 1.5

♦ схема ИЛИ на четыре входа (4ИЛИ), осуществляющая операцию дизъюнкции минтермов. На ее входы поступают сигналы со схем И, а ее выход является выходом всего устройства.

Для проектирования функций во всех случаях необходимо 3 элемента *НЕ*, *И*, *ИЛИ*, поэтому эту систему называют *функционально полной системой элементов*. Однако полнота этой системы даже избыточна. Один элемент (*И* или *ИЛИ*) из системы можно исключить, сохранив ее функциональную полноту. Так как, основываясь на принципе двойственности булевой алгебры, можно вместо операции *ИЛИ* использовать операцию *И*:

$$Y = X_1 + X_2 = \overline{\overline{X_1} \cdot \overline{X_2}}.$$

Подобный прием повышает унификацию схемных и конструкторских решений. Таким образом, системы из двух логических элементов (*И*, *НЕ* либо *ИЛИ*, *НЕ*) – также функционально полные системы, обеспечивающие возможность реализации любых логических функций.

Можно создать такие логические элементы, которые по своим функциональным возможностям эквивалентны функционально полной системе. Элементы, обеспечивающие выполнение любой из трех основных операций (*И*, *НЕ*, *ИЛИ*), называют *универсальными*. Рассмотрим один из универсальных логических элементов – элемент *2И-НЕ*.

Элемент *2И-НЕ* выполняет все основные логические операции:

- ♦ операцию инверсии $Y = \overline{X} = \overline{X \cdot X}$, рис. 1.6, а;
- ♦ операцию конъюнкции $Y = \overline{\overline{X_1} \cdot \overline{X_2}} = X_1 \cdot X_2$, рис. 1.6, б;
- ♦ операцию дизъюнкции $Y = \overline{\overline{X_1} \cdot \overline{X_2}} = X_1 + X_2$, рис. 1.6, в.

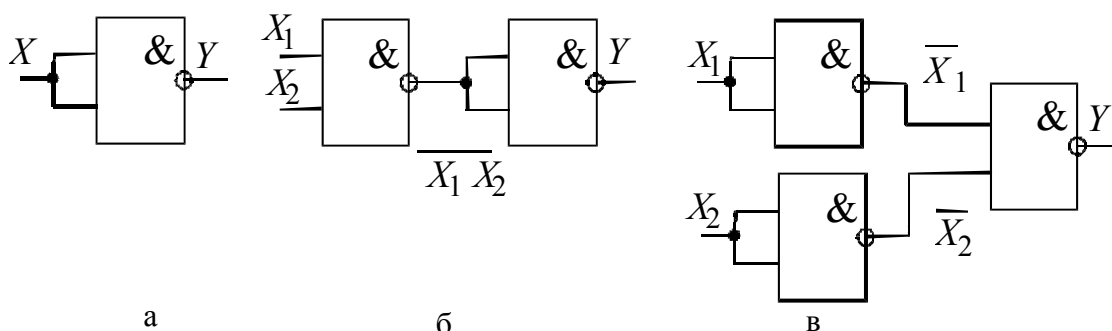


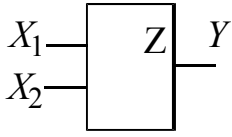
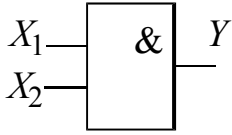
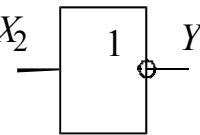
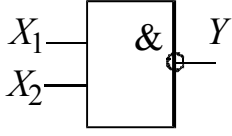
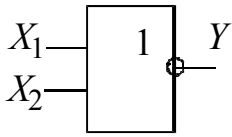
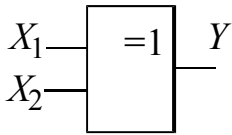
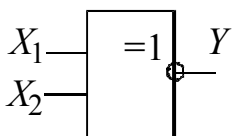
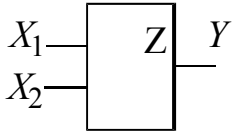
Рис. 1.6

Также универсальным логическим элементом является *2ИЛИ-НЕ* (докажите это утверждение самостоятельно).

В общем случае как элементы *И-НЕ*, так и элементы *ИЛИ-НЕ* могут иметь не два, а *N* входов.

Можно заметить, что прямой способ построения, который был использован при создании логического устройства (рис. 1.5), обычно не является удовлетворительным для практики. Здесь использована избыточная по своей полноте система логических элементов. Кроме того, при таком способе построения остался не затронутым вопрос о том, является ли устройство оптимальным с точки зрения числа использованных для его построения элементов. Дело в том, что полученную логическую функцию (1.1) с помощью правил булевой алгебры можно преобразовать в ряд других, тождественных с точки зрения получаемого результата. При существовании возможности упрощения логической функции улучшаются не только технико-экономические (стоимость, масса, габариты), но и чисто технические показатели (например, быстродействие) разрабатываемого устройства, так как длинные цепи логических элементов обуславливают большее время задержки сигнала на выходе при переключениях устройства. Также достигается унификация схемного решения, элементарной ячейкой которого может быть один из базовых логических элементов, представленных в табл. 1.5.

Таблица 1.5

Логическая функция	Условное обозначение	Булево выражение	Таблица истинности		
			Входы		Выход
ИЛИ		$X_1 + X_2 = Y$	X_1	X_2	Y
			0	0	0
			0	1	1
			1	0	1
			1	1	1
И		$X_1 \cdot X_2 = Y$	0	0	0
			0	1	0
			1	0	0
			1	1	1
Инвертор		$\bar{X}_2 = Y$		0	1
				1	0
И-НЕ		$\overline{X_1 \cdot X_2} = Y$	0	0	1
			0	1	1
			1	0	1
			1	1	0
ИЛИ-НЕ		$\overline{X_1 + X_2} = Y$	0	0	1
			0	1	0
			1	0	0
			1	1	0
Исключающее ИЛИ		$X_1 \oplus X_2 = Y$	0	0	0
			0	1	1
			1	0	1
			1	1	0
Исключающее ИЛИ-НЕ		$\overline{X_1 \oplus X_2} = Y$	0	0	1
			0	1	0
			1	0	0
			1	1	1
Трестабильный элемент		$X_1 = Y$ при $X_2 = 1$	0	0	Z
			0	1	0
			1	0	Z
			1	1	1

Z- состояние высокого сопротивления (обрыв цепи).

1.4. Минимизация логических функций

Очевидным путем минимизации является использование законов булевой алгебры. Такой путь минимизации называют *алгебраическим*.

Типовыми приемами алгебраической минимизации можно считать:

- ◆ $A + A + \dots + A = A$ (прибавление однотипных членов);
- ◆ умножение отдельных членов функции на $A + \bar{A}$. Такое умножение не нарушит тождественности исходного и полученного соотношений поскольку $A + \bar{A} = 1$;
- ◆ выделение слагаемых $A + \bar{A} = 1$ с последующим упрощением;
- ◆ использование законов склеивания и поглощения.

После проведения всех преобразований получают функцию, не поддающуюся дальнейшей минимизации. Эту форму записи функции называют *тупиковой*. Функция может иметь несколько тупиковых форм (в зависимости от реализации).

В качестве примера алгебраической минимизации рассмотрим преобразование функции (1.1). К слагаемому $A = X_1 X_2 X_3$ добавим еще два таких же слагаемых и упростим выражение в соответствии с законом дистрибутивности:

$$\begin{aligned} Y &= \bar{X}_1 X_2 X_3 + X_1 \bar{X}_2 X_3 + X_1 X_2 \bar{X}_3 + X_1 X_2 X_3 + X_1 X_2 X_3 + \\ &+ X_1 X_2 X_3 = X_2 X_3 (X_1 + \bar{X}_1) + X_1 X_3 (X_2 + \bar{X}_2) + \\ &+ X_1 X_2 (X_3 + \bar{X}_3) = X_2 X_3 + X_1 X_3 + X_1 X_2. \end{aligned}$$

Эта форма записи является тупиковой. Реализация данной функции показана на рис. 1.7. Из сравнения этого рисунка с рис. 1.5 видно, что

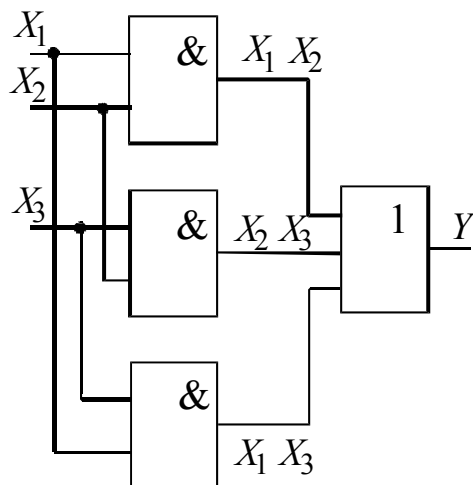


Рис. 1.7

минимизация позволила существенно упростить устройство.

Дальнейшее преобразование полученной тупиковой формы зависит от имеющихся в наличии логических элементов (с целью унификации схемных решений). Например, чтобы реализовать схему только на элементах 2И-НЕ, необходимо выполнить следующие преобразования:

$$\begin{aligned}
Y &= X_1X_2 + X_2X_3 + X_1X_3 = \\
&= \overline{\overline{X_1X_2 + X_2X_3 + X_1X_3}} = \\
&= \overline{(\overline{X_1X_2})(\overline{X_2X_3})(\overline{X_1X_3})}
\end{aligned}$$

Минимизация функций алгебраическим методом требует навыка. Не всегда очевидно, что полученная форма является тупиковой, иногда трудно определить склеивающиеся слагаемые. Поэтому разработан метод минимизации, как бы автоматизирующий процедуру поиска «склеиваемых» слагаемых – метод карт Карно.

1.5. Метод карт карно (или диаграммы вейча)

$X_2 \backslash X_1$	\bar{X}_1	X_1
\bar{X}_2	$\bar{X}_1\bar{X}_2$	$X_1\bar{X}_2$
X_2	\bar{X}_1X_2	X_1X_2

Рис. 1.8

Карта Карно или диаграмма Вейча – это таблица, имеющая ячейки для всех возможных минтермов функции (число аргументов обычно меньше 5÷6). На рис. 1.8 показана карта Карно для функции двух аргументов. Вдоль верхней грани проставлены возможные значения X_1 , вдоль левой боковой грани – возможные значения переменной X_2 . В каждой клетке изобра-

жают один из возможных минтермов. Если какой-либо минтерм в СДНФ присутствует, то в соответствующей клетке карты Карно ставится 1 (0 не ставится).

Карта Карно для функций трех и четырех переменных показаны на рис.1.9,а,б, соответственно. Склеивание осуществляется между теми минтермами, которые записаны в виде 1 в соседних клетках карты (соседних по вертикали и горизонтали). Соседними также считаются клетки верхнего и нижнего рядов карты, крайнего левого и крайнего правого рядов.

Два минтерма, находящиеся в соседних клетках, могут быть представлены в виде одного логи-

$X_1 X_2 \backslash X_3$	$\bar{X}_1\bar{X}_2$ (00)	\bar{X}_1X_2 (01)	X_1X_2 (11)	$X_1\bar{X}_2$ (10)
\bar{X}_3	(000)	(010)	(110)	(100)
X_3	(001)	(011)	(111)	(101)

$X_1 X_2 \backslash X_3 X_4$	00	01	11	10
00				
01				
11				
10				

б

Рис. 1.9

ческого произведения переменных, число которых на 1 меньше, чем в каждом из соседних минтермов. Если соседними оказались четыре минтерма с «1», то такую группу минтермов можно заменить конъюнкцией переменных, число которых меньше уже на две «1».

Учитывая, что $A + A + A = A$, одну единицу, изображающую минтерм, можно объединить в пары несколько раз.

Используя метод карт Карно, минимизируем функцию (1.1), которая раньше уже была приведена к тупиковой форме. На рис. 1.10 изображена карта Карно для исследуемой СДНФ, при этом «склеиваемые» минтермы охвачены контурами с учетом правила, что число «склеиваемых» минтермов равно 2^N , где N - целое число. Построение контуров продолжается до тех пор, пока все единицы не окажутся внутри контуров. Полученное логическое выражение будет представлять сумму произведений, где

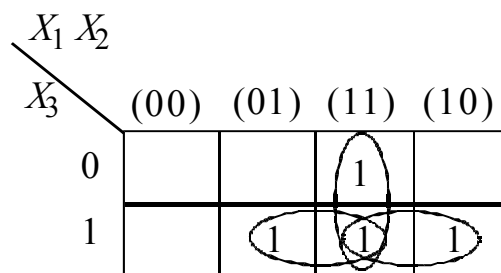


Рис.1.10

- ◆ число слагаемых будет равно числу контуров;
- ◆ в число сомножителей слагаемого включены аргументы, входящие в контур только в прямом или только в инверсном виде.

Отсюда $Y = X_1X_2 + X_2X_3 + X_1X_3$, что было ранее доказано алгебраическим методом. Карта Карно позволила легко выявить «склеиваемые» минтермы и облегчила задачу минимизации.

1.6. Особенности схемного построения логических элементов

До сих пор рассматривали типовые логические элементы только как функциональные узлы без определения их внутренней структуры, составляющих элементов и принципиальных схем. В зависимости от схемного выполнения каскадов различаем каскады:

- ◆ транзисторно-транзисторной логики – ТТЛ;
- ◆ транзисторно-транзисторной логики с диодами Шоттки – ТТЛШ;
- ◆ МОП (металл – окисел – проводник) логики;
- ◆ комплиментарной МОП логики – КМОП;
- ◆ эмитерно связной логики – ЭСЛ;
- ◆ интегральной инжекционной логики – И²Л.

1.6.1. Универсальный логический ттл – элемент И-НЕ в интегральном исполнении

Принципиальная схема ТТЛ элемента, являющегося основой ряда полупроводниковых интегральных микросхем для цифровых устройств, приведена на рис. 1.11 (2И-НЕ). Данный элемент по своему условному обозначению соответствует рис. 1.6, а.

Представленная на рис. 1.11 схема состоит из схемы И, образованной многоэмиттерным транзистором $VT1$ и резистором R_1 и так называемого сложного инвертора, выполняющего операцию НЕ. Рассмотрим

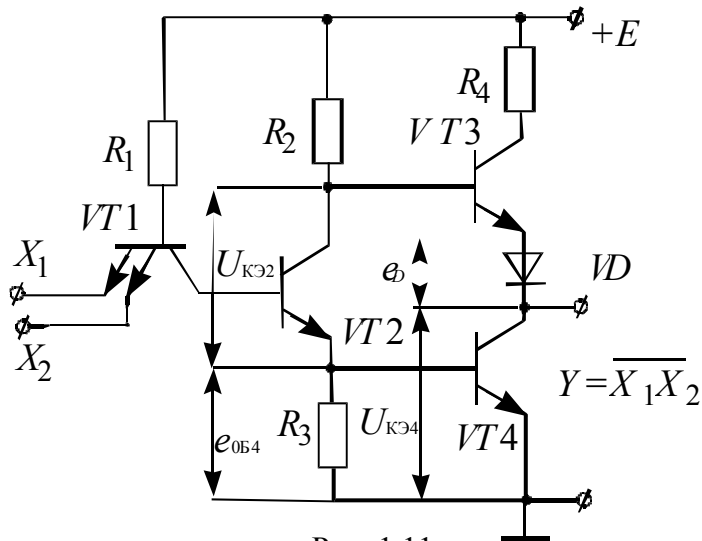


Рис. 1.11

работу названных каскадов элемента 2И — НЕ.

Многоэмиттерный транзистор $VT1$ был создан для микроминиатюрных логических устройств. Данный транзистор, подобно обычному биполярному, имеет базу и один коллектор. Число эмиттеров в отличие от биполярного транзистора может достигать четырех - восьми. Толщина базового кристалла между коллектором и

каждым из эмиттеров невелика, что обуславливает возможность диффузии в базе на каждом из участков между коллектором и эмиттером. Напротив, взаимодействие между эмиттерами через участки базы практически отсутствует.

В схеме (рис. 1.11) коллекторный переход многоэмиттерного транзистора $VT1$ (каскад 2И — НЕ) всегда смещен в прямом направлении. Пусть на входах X_1 и X_2 схемы (рис. 1.11) действуют сигналы, уровень которых соответствует логической «1». Можно считать, что при $E=5 \div 5,5\text{В}$ уровень логической «1» на входах соответствует напряжению не менее $2,3 \div 2,5\text{В}$. При данном уровне входных сигналов

$$i_{K1} = i_{B1} + i_{E1} + i_{E2} = i_{B1} + \beta_{1I} i_{B1} + \beta_{2I} i_{B1} = i_{B1} (1 + \beta_{1I} + \beta_{2I}),$$

так как коэффициент передачи по току $\beta_{JI} \ll 1$, следовательно, $i_{K1} \approx i_{B1}$. Значительный прямой ток коллекторного перехода i_{K1} включает транзистор $VT2$, который оказывается в насыщенном состоянии. Насыщение $VT2$ приводит к тому, что транзистор $VT4$ оказывается включенным значительным базовым током. Напряжение на выходе инвертора (каскад НЕ) равно напряжению $U_{KЭ4} \approx 0$. Выходной сигнал соответствует уровню логического «0» при $X_1 = X_2 = 1$. Транзистор $VT3$ при этом заперт. Если бы между коллектором $VT4$ и эмиттером $VT3$ не был включен диод VD , а указанные электроды транзисторов были включены непосредственно, то $U_{Э3} = U_{KЭ4}$. В этом случае напряжение $U_{БЭ3}$ оказалось бы положительным:

$$U_{БЭ3} = U_{Б3} - U_{Э3} = e_{ОБ4} + U_{KЭ2} - U_{KЭ4} \approx e_{ОБ4}.$$

Это напряжение близко к напряжению отсечки входной характеристики транзистора $VT3$, поэтому надежное запирающее этого транзистора не обеспечивается. Диод VD обеспечивает дополнительное смещение напряжения на эмиттере $VT3$ в положительную область на величину e_D , тогда

$$U_{Э3} = U_{KЭ4} + e_D; \quad U_{БЭ3} = U_{Б3} - U_{Э3} = e_{ОБ4} - e_D \approx 0.$$

При этих условиях транзистор $VT3$ выключен и практически исключено потребление тока выходной цепью в состоянии покоя.

Если хотя бы на одном эмиттере транзистора $VT1$ будет уровень

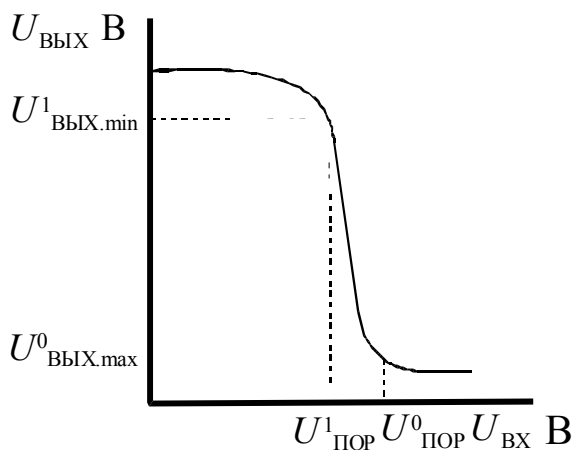


Рис. 1.12

напряжения, соответствующий уровню логического «0», то транзистор $VT1$ насыщается, отпирающий ток в цепь базы $VT2$ не поступает, запирая его. При запертом $VT2$ транзистор $VT4$ также заперт. Запертый транзистор $VT4$ эквивалентен высокоомному резистору в цепи эмиттера $VT3$. Транзистор $VT3$ в данном состоянии схемы открыт и работает в режиме эмиттерного повторителя, создавая на выходе высокий уровень напряжения,

соответствующий уровню логической «1». Потребление тока в выходной цепи ненагруженного инвертора благодаря выключению транзистора $VT4$ по-прежнему очень мало.

1.6.2. Параметры интегральных логических элементов

Различают статические и динамические параметры. *Статические свойства* схемы НЕ ТТЛ логики наглядно отражаются ее передаточной характеристикой $U_{\text{ВЫХ}} = f(U_{\text{ВХ}})$ (рис. 1.12). Напряжение $U_{\text{ВЫХ.min}}^1$ соответствует минимальному значению уровня логической «1» на выходе схемы. Сигнал $U_{\text{ВЫХ}} > U_{\text{ВЫХ.min}}^1$ считают единичным. Напряжение $U_{\text{ВЫХ.max}}^0$ соответствует максимальному значению уровня логической «0» на выходе схемы. Сигнал $U_{\text{ВЫХ}} < U_{\text{ВЫХ.max}}^0$ считают нулевым. Абсцисса точки пересечения характеристики $U_{\text{ВЫХ}} = f(U_{\text{ВХ}})$ с уровнем $U_{\text{ВЫХ.min}}^1$ соответствует пороговому напряжению $U_{\text{ПОР}}^1$ входного сигнала. При $U_{\text{ВХ}} < U_{\text{ПОР}}^1$ на выходе схемы поддерживается уровень логической «1». Абсцисса точки пересечения характеристики с уровнем $U_{\text{ВЫХ.max}}^0$ соответствует пороговому напряжению $U_{\text{ПОР}}^0$ входного сигнала. При $U_{\text{ВХ}} > U_{\text{ПОР}}^0$ на выходе схемы поддерживается уровень логического «0». Диапазон напряжений на входе $U_{\text{ПОР}}^1 < U_{\text{ВХ}} < U_{\text{ПОР}}^0$ и диапазон напряжений на выходе $U_{\text{ВЫХ.max}}^0 < U_{\text{ВЫХ}} < U_{\text{ВЫХ.min}}^1$ соответствуют области переключения состояний схемы. В статическом режиме при правильном выборе значений входных напряжений рабочая точка в этой области находиться не должна. Так как пороговые значения входного сигнала отличаются несущественно, при аппроксимациях передаточной характеристики считают $U_{\text{ПОР}}^1 = U_{\text{ПОР}}^0 = U_{\text{ПОР}}$.

Входная характеристика логического элемента $i_{\text{ВХ}} = f(U_{\text{ВХ}})$ показана на рис. 1.13. При $U_{\text{ПОР}} < U_{\text{ВХ}} < U_{\text{ВХ.max}}$ входной ток является втекающим (рис. 1.11) и определяется соотношением

$$I_{\text{ВХ}}^+ = i_{\text{Э1}} = \beta_{1I} i_{\text{Б}} = \frac{E - U_{\text{Б}}}{R_1}.$$

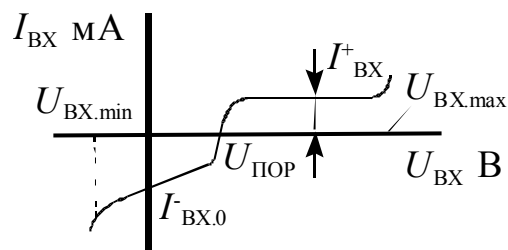


Рис. 1.13

В силу малости β_{1I} (этот ток

мал – десятки микроампер) при входном напряжении $U_{\text{ПОР}} < U_{\text{ВХ}} < U_{\text{ВХ.маx}}$, этот ток практически не зависит от напряжения, так как зависит от процесса диффузии в базе транзистора. При $U_{\text{ВХ}} \geq U_{\text{ВХ.маx}}$ возможен пробой эмиттерного перехода транзистора, поэтому необходимо, чтобы $U_{\text{ВХ}} \leq U_{\text{ВХ.маx}}$. Напряжение $U_{\text{ВХ.маx}}$ близко к максимальному значению напряжения питания $E_{\text{маx}}$ (например для ТТЛ логики, к +5,5 В).

При $U_{\text{ВХ}} < U_{\text{ПОР}}$ входной ток является вытекающим и определяется соотношением

$$I_{\text{ВХ}}^- = \frac{(E - e_{\text{ОБ1}} - U_{\text{ВХ}})}{R_1},$$

т. е. уменьшается по мере увеличения $U_{\text{ВХ}}$. При $U_{\text{ВХ}} = 0$ $I_{\text{ВХ.0}}^- \approx 0,1 \text{ мА}$, однако, при $U_{\text{ВХ}} < U_{\text{ВХ.мин}}$ входной ток возрастает настолько, что мощность рассеяния (P) элементом оказывается значительной, начинается резкое увеличение входного тока из-за саморазогревания каскада. Поэтому необходимо, чтобы входное напряжение в случаях, когда оно принимает отрицательные значения, не стало меньше $U_{\text{ВХ.мин}}$. Для ТТЛ логики напряжение $U_{\text{ВХ.мин}} = - (0,8 — 1) \text{ В}$.

Также к параметрам логического интегрального элемента относятся: m - коэффициент объединения, определяющий число внешних входных цепей, которые объединяются в данном элементе при выполнении логической операции; n - коэффициент разветвления, показывающий, сколько однотипных логических схем может быть подсоединено к выходу рассматриваемой схемы.

Динамические параметры интегральных логических элементов характеризуют их быстродействие, время задержки информации при прохождении ее через микросхему. Различают три следующих показателя быстродействия: $t_3^{10}, t_3^{01}, t_3^{\text{CP}}$.

Параметр t_3^{10} характеризует время задержки переключения выходного сигнала из состояния «1» в состояние «0» при переключении входного сигнала из состояния «0» в состояние «1». Упрощенная временная диа-

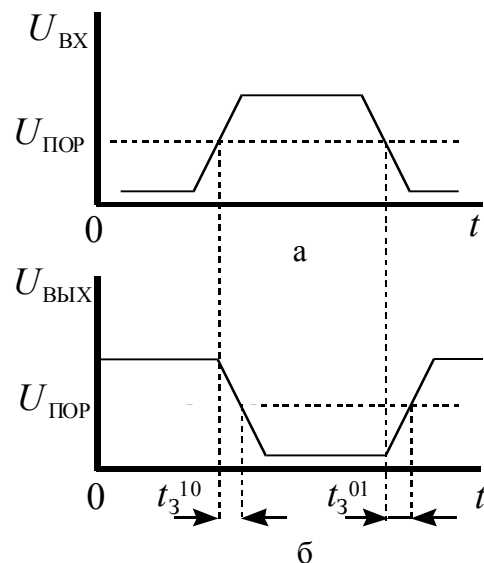


Рис. 1.14

грамма такого переключения показана на рис. 1.14.

Аналогично параметр t_3^{01} характеризует время переключения выходного сигнала из состояния «0» в состояние «1».

Параметр t_3^{CP} представляет собой среднеарифметическое от t_3^{01} и t_3^{10} ,

$$t_3^{CP} = 0,5(t_3^{10} + t_3^{01}).$$

Для различных типов технологий изготовления интегральных схем диапазоны изменения рассмотренных параметров различны и основные показатели сведены в табл. 1.6.

Таблица 1.6

Параметр	ТТЛ/ТТЛШ	ЭСЛ	МОП/КМОП
$E, В$	$5 \pm 0,5$	$5 \pm 0,5$	$-(12 \div 27) \pm 2,7$
$U_{\text{ВЫХ.min}}^1, В$	2,3	-0,7	8,2
$U_{\text{ВЫХ.max}}^0, В$	0,3	-1,5	-7
m	8	5	8
n	10	30	60
$I_{\text{ВХ.max}}^+, \text{мА}$	0,1	0,3	0,0015
$I_{\text{ВХ.max}}, \text{мА}$	1,6	0	-0,001
$P, \text{мВт}$	$2 \div 40$	50	$0,01 \div 0,1$
$t_3^{CP}, \text{нс}$	40/15	4	100

Популярность цифровых электронных схем обусловлена широкой доступностью и относительно невысокой стоимостью соответствующих интегральных схем (ИС). Изготовители разработали множество типов цифровых ИС, представляющих собой наборы схем, которые могут использоваться совместно. Если ИС принадлежат к одному семейству, то

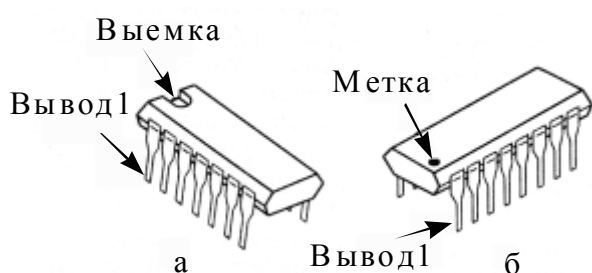


Рис. 1.15

говорят, что они совместимы; такие ИС можно легко соединить друг с другом.

Распространенный тип ИС показан на рис. 1.15, а. Этот тип изготовители относят к семейству корпусированных ИС с двухрядным расположением выводов

(корпус типа DIP). На рис. 1.15, а сразу за выемкой в корпусе (если двигаться по направлению против часовой стрелки) расположен вывод 1. Дальнейшая нумерация выводов осуществляется в направлении против часовой стрелки от 1 до 14, если смотреть на корпус ИС сверху. Другой способ указания положения вывода 1 – нанесение метки на верхнюю часть корпуса типа DIP, как показано на рис. 1.15, б. Изготовители предоставляют технический паспорт, который содержит информацию о схеме расположения выводов и типе корпуса, расшифровывается обозначение и даются все основные параметры ИС.

2. ТИПОВЫЕ КОМБИНАЦИОННЫЕ СХЕМЫ

Существует ряд стандартных интегральных микросхем, построенных на комбинационной логике, выполняющих преобразование и передачу информационного сигнала. К ряду элементов, объединенных данным заголовком, относятся преобразователи кодов, селекторы данных, сумматоры.

2.1. Дешифраторы, шифраторы

Дешифратором называется комбинационная схема, служащая для преобразования кодов. На рис. 2.1, а показана принципиальная схема дешифратора, имеющего два входа X_1 и X_2 , реализующего четыре

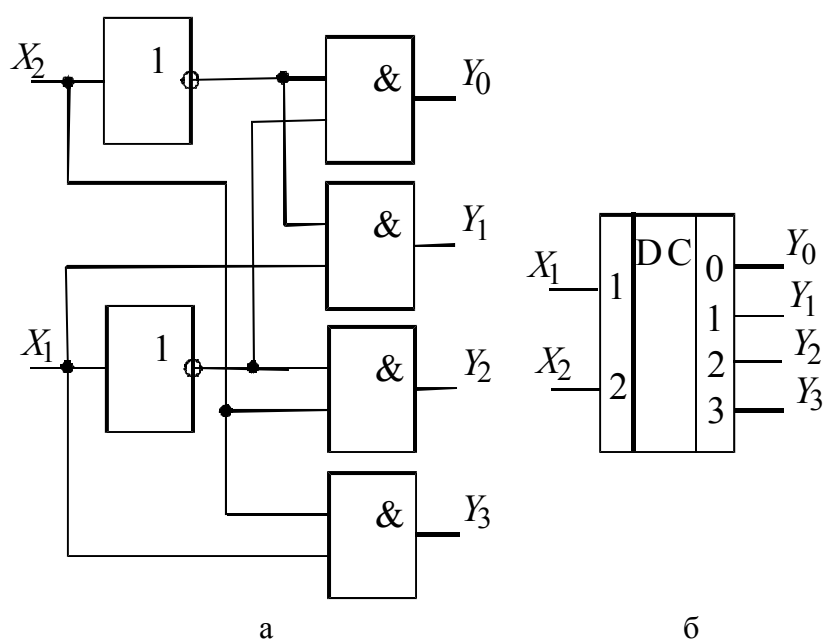


Рис. 2.1

минтерма Y_0, Y_1, Y_2, Y_3 (дешифратор 2×4). Условное графическое обозначение данного дешифратора приведено на рис. 2.1, б. Схема выполняет операцию преобразования двоичного позиционного кода в унитарный цифровой, т.е. каждой комбинации входных сигналов, согласно правилам

перевода двоичных чисел в десятичные, будет соответствовать сигнал высокого уровня (*H*) только на одном из выходов.

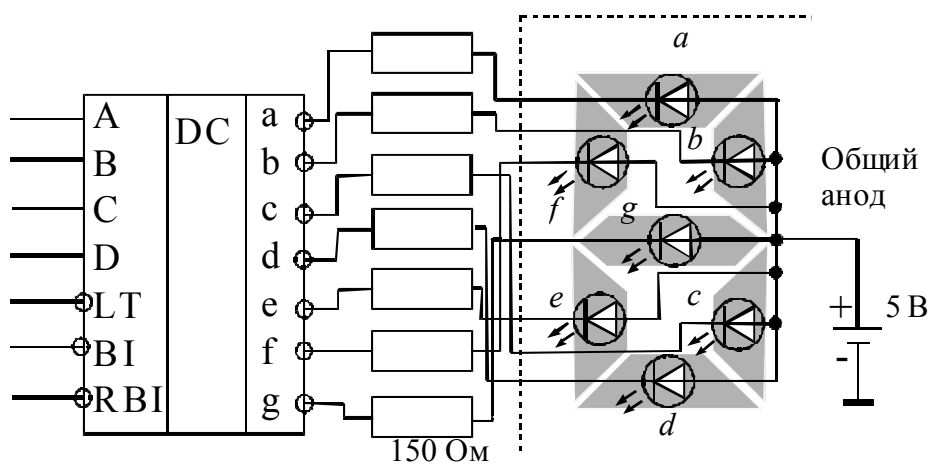


Рис. 2.2

Одним из применений дешифратора является преобразование кода 8421 в код семисегментного индикатора. На индикаторе при этом появляется десятичное число. В схеме, представленной на рис. 2.2, используется ТТЛ ИС 7447А (аналог К155ИД2). Число, которое представлено в коде 8421 и подлежит декодированию, подается на входы, обозначенные буквами D, C, B и A. При возбуждении сигналом низкого уровня (*L*) вход контроля свечения (LT) активизирует все выходы. При подаче такого же возбуждающего сигнала на гасящий вход (BI) обеспечивается появление высоких уровней на всех выходах, что вызывает сброс прежних показаний индикатора. При возбуждении сигналом низкого уровня входа последовательного гашения (RBI) сброс индикатора осуществляется только в том случае, если на нем высвечены нули. Отметим, что запрещенными сигналами на входе дешифратора являются двоичные коды, эквивалентные десятичным числам 10 ÷ 15 (на индикаторе будут отображены неполные цифровые изображения).

Таблица 2.1

Входы									Выходы			
1	2	3	4	5	6	7	8	9	D	C	B	A
<i>H</i>	<i>H</i>	<i>H</i>	<i>H</i>	<i>H</i>	<i>H</i>	<i>H</i>	<i>H</i>	<i>H</i>	<i>H</i>	<i>H</i>	<i>H</i>	<i>H</i>
<i>H</i>	<i>H</i>	<i>H</i>	<i>H</i>	<i>H</i>	<i>H</i>	<i>H</i>	<i>H</i>	<i>L</i>	<i>L</i>	<i>H</i>	<i>H</i>	<i>L</i>
<i>H</i>	<i>H</i>	<i>H</i>	<i>H</i>	<i>H</i>	<i>H</i>	<i>H</i>	<i>L</i>	<i>H</i>	<i>L</i>	<i>H</i>	<i>H</i>	<i>H</i>
<i>H</i>	<i>H</i>	<i>H</i>	<i>H</i>	<i>H</i>	<i>H</i>	<i>L</i>	<i>H</i>	<i>H</i>	<i>H</i>	<i>L</i>	<i>L</i>	<i>L</i>
<i>H</i>	<i>H</i>	<i>H</i>	<i>H</i>	<i>H</i>	<i>L</i>	<i>H</i>	<i>H</i>	<i>H</i>	<i>H</i>	<i>L</i>	<i>L</i>	<i>H</i>
<i>H</i>	<i>H</i>	<i>H</i>	<i>H</i>	<i>L</i>	<i>H</i>	<i>H</i>	<i>H</i>	<i>H</i>	<i>H</i>	<i>L</i>	<i>H</i>	<i>L</i>

H	H	H	L	H	H	H	H	H	H	L	H	H
H	H	L	H	H	H	H	H	H	H	H	L	L
H	L	H	H	H	H	H	H	H	H	H	L	H
L	H	H	H	H	H	H	H	H	H	H	H	L

Шифраторы выполняют функцию, обратную дешифраторам. В качестве примера рассмотрим ИС 74147 (аналог 555ИВ3), являющуюся шифратором приоритетов 10-4. Микросхема 74147 имеет активные входы и выходы низкого (L) логического уровня, помещена в корпус типа DIP с 16 выводами и включает в себя 30 логических элементов, реализующих необходимые функции. Правила функционирования микросхемы сведены в табл. 2.1.

2.2. Демультимплексоры, мультиплексоры

Демультимплексор (селектор) – комбинационный элемент, осуществляющий операцию передачи сигнала с одного входа на один из нескольких выходов. Механическим аналогом демультимплексора служит пакетный переключатель, представленный на рис. 2.3, а (входной сигнал X окажется на одном из выходов $Y_0 \div Y_6$). Селекторы в виде самостоятельных приборов не изготавливаются, так как их функции может выполнять дешифратор. Схема дешифратора дополняется входом G , сигнал с которого подается на все логические элементы (рис.2.3, б), т.е. выполняется

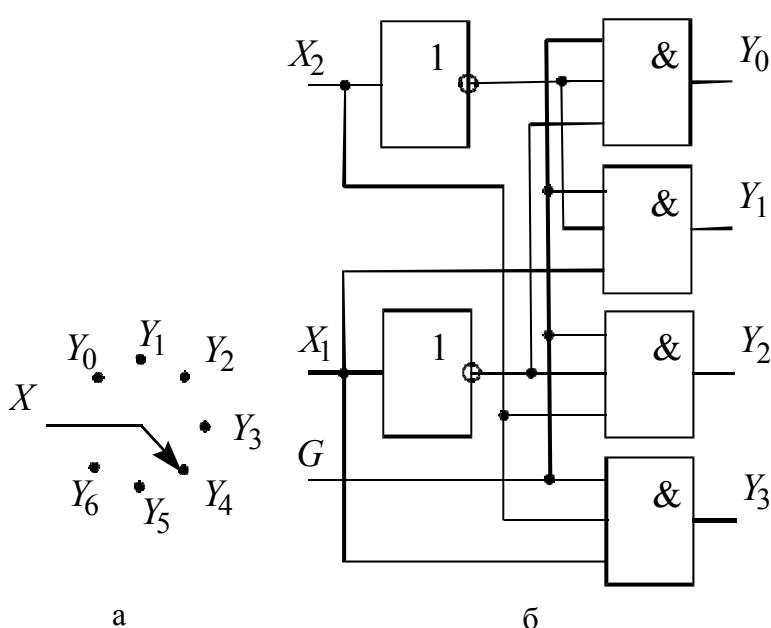


Рис. 2.3

логическая функция $Y_0 = G\bar{X}_2\bar{X}_1$;
 $Y_1 = G\bar{X}_2X_1$;
 $Y_2 = GX_2\bar{X}_1$;
 $Y_3 = GX_2X_1$, причем входы X_N воспринимаются как адресные входы, а вход G – как информационный. Представителем схемы дешифратора-демультимплексора является интегральная схема ТТЛ логики 74154 (аналог К155ИД3).

Большая часть данных в цифровых системах передается по проводам и проводникам печатных плат. Обычно возникает необходимость в многократной передаче информационных двоичных сигналов из одного места в другое. Если бы все данные передавались одновременно по параллельным линиям связи, то общая длина таких проводников была бы слишком велика и они были бы слишком дороги. Вместо этого данные передаются по одному проводу в последовательной форме (реализация осуществляется на мультиплексоре) и группируются в параллельные данные на приемном конце этой единственной линии связи с помощью демультиплексора. *Мультиплексор* – устройство, предназначенное для передачи сигналов с любого из входов на одну общую выходную шину. Двоичный код, поступающий на адресные входы A_0, A_1 (рис. 2.4, а), определяет номер информационного входа ($D_0 \div D_3$), сигнал с которого проходит на выход. Таким образом мультиплексор (рис. 2.4, а) выполняет функцию

$$Y = \bar{V} \cdot \bar{A}_1 \bar{A}_0 D_0 + \bar{V} \cdot \bar{A}_1 A_0 D_1 + \bar{V} \cdot A_1 \bar{A}_0 D_2 + \bar{V} \cdot A_1 A_0 D_3.$$

Вход V мультиплексора используется для стробирования (разрешение работы схемы) и наращивания числа входов мультиплексора. Вход стробирования не является обязательным для мультиплексоров в интегральном исполнении. Условное графическое обозначение 8 - канального мультиплексора (ИС 74151 – аналог К155КП5) приведено на рис. 2.4,

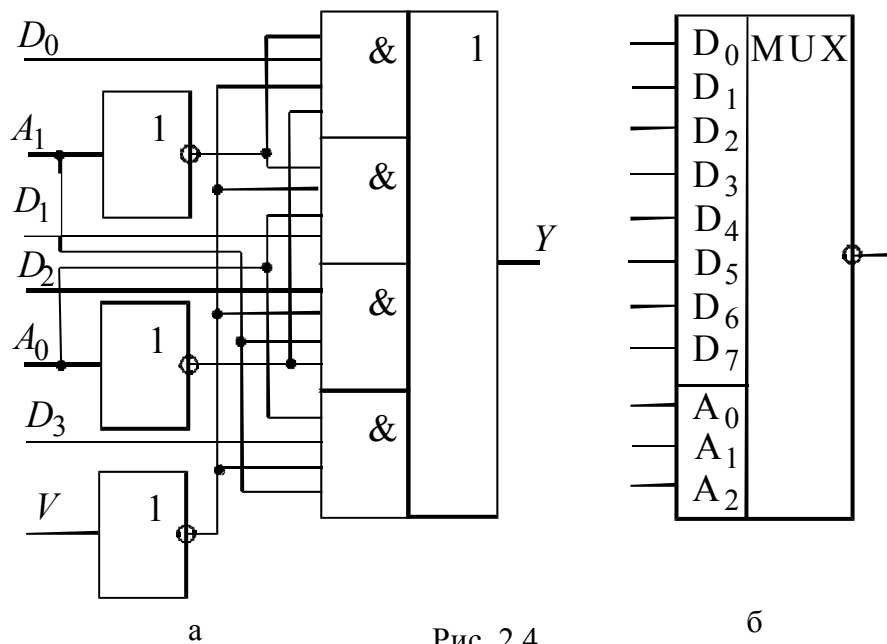


Рис. 2.4

2.3. Сумматоры

Сумматор – операционный узел ЭВМ, выполняющий арифметическое суммирование и вычитание кодов чисел. Сумматор является одним из основных узлов арифметического устройства. Правила для поразрядного сложения двух чисел представлены в табл. 2.2, где A_I , B_I - одноименные разряды слагаемых; S_I - сумма; C_{I+1} - перенос в старший разряд. Уравнения для суммы и переноса имеют вид

$$S_I = A_I \oplus B_I; \quad C_{I+1} = A_I B_I.$$

Схема, реализующая эти уравнения, называется *полусумматором*, и может быть выполнена на комбинационной логике (рис. 2.5). Полусумматор осуществляет сложение только в разряде единиц. Для двоичного сложения в разрядах двоек, четверок, восьмерок и т. д. нужно использовать устройство, называемое *полным сумматором*. Полные сумматоры используются для сложения во

Таблица 2.2

A_I	B_I	S_I	C_{I+1}
0	0	0	0
0	1	1	0
1	0	1	0
1	1	0	1

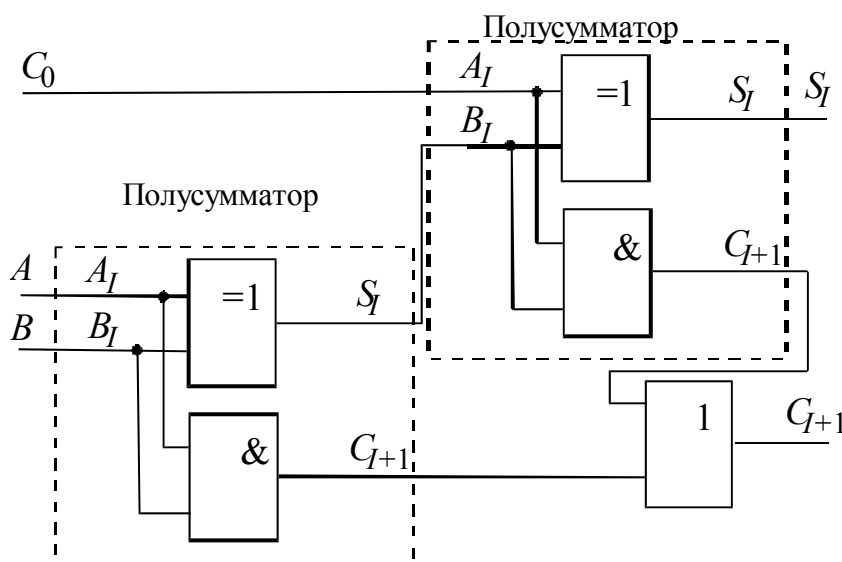


Рис. 2.5

всех двоичных разрядах, за исключением разряда единиц. Они должны иметь дополнительный вход переноса (C_0). Соответствующие буражения логической структуры

дополнительный вход переноса (C_0). Соответствующие буражения логической структуры

дополнительный вход переноса (C_0). Соответствующие буражения логической структуры

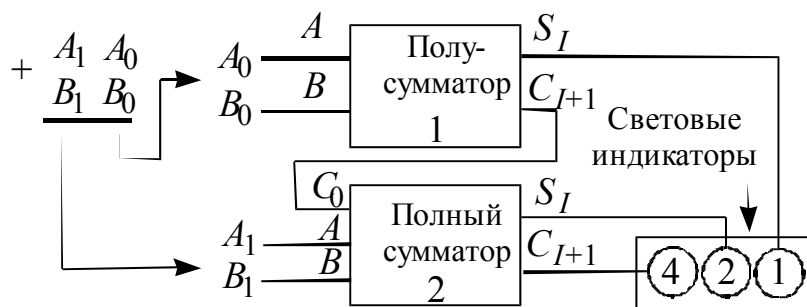


Рис. 2.6

дополнительный вход переноса (C_0). Соответствующие буражения логической структуры

ЮТ ВИД

$$S_I = A_I \oplus B_I \oplus C_0 \text{ и } C_{I+1} = AB + C_0(A \oplus B).$$

Развернутая логическая схема полного сумматора показана на рис. 2.5. Определенным образом соединяя полусумматоры и полные сумматоры друг с другом, получают устройства, одновременно выполняющие сложение нескольких двоичных разрядов. Устройство, схема которого показана на рис.2.6, складывает двухразрядные двоичные числа. Числа-слагаемые обозначены A_1A_0 и B_1B_0 . Сигналы, соответствующие значениям разряда единиц в слагаемых, поступают на входы сумматора разряда единиц (полусумматора). Входными сигналами для полного сумматора разряда двоек являются сигнал переноса с выхода полусумматора и значения A_1 и B_1 разряда двоек в слагаемых. В результате сложения двух 2-разрядных двоичных чисел может получиться 3-разрядное число, поэтому на индикаторе суммы имеется дополнительный разряд четверок. Логика работы рассмотренного 2-разрядного сум-

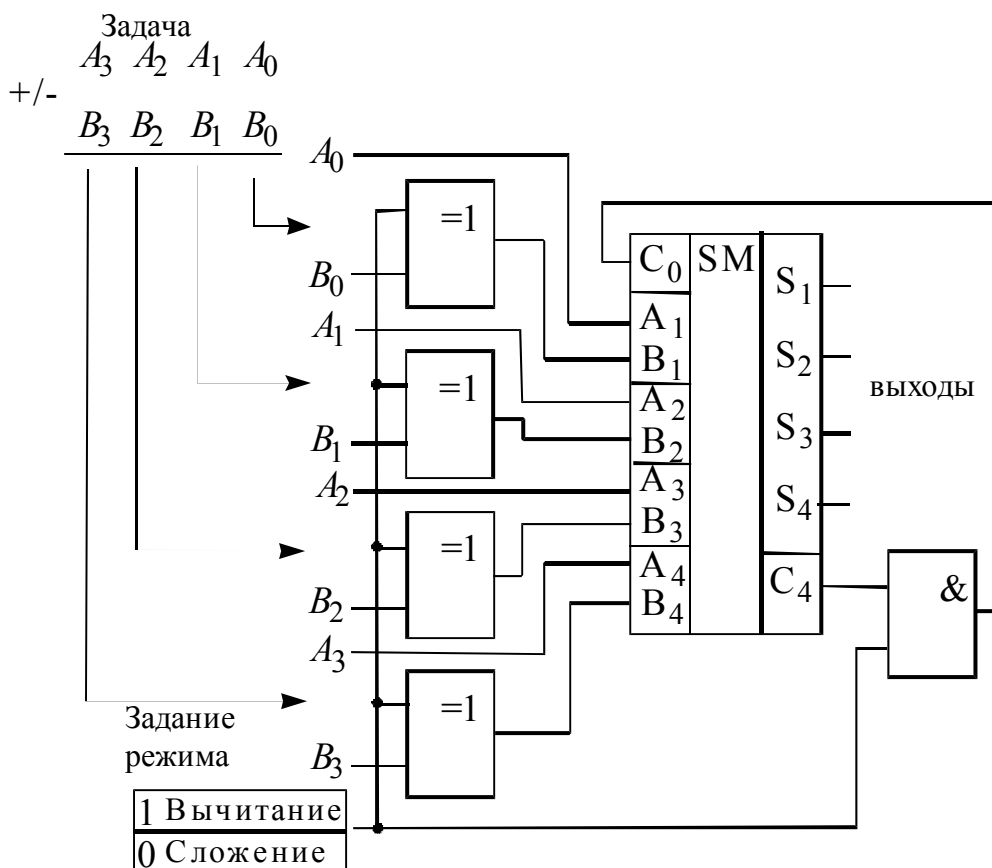


Рис. 2.7

матора ничем не отличается от последовательности операций, выполня-

емых при сложении вручную (сложение одноразрядных чисел плюс перенос в следующий разряд).

Сумматор является универсальным устройством, на котором могут быть выполнены как операция сложения, так и операция вычитания. Необходимо помнить, что для реализации операции вычитания нужно обеспечить инвертирование сигналов, поступающих на входы B сумматора, и ввести цепь циклического переноса путем соединения выхода C_{I+1} схемы с ее входом переноса C_0 . На рис. 2.7 показано схемное решение сумматора - вычитателя (вычитание в инверсном коде), реализованное на ИС 7483 (аналог К155ИМ3 – 4-разрядный полный сумматор). Сумматоры 7483 можно объединять друг с другом, подключая выход C_4 первой микросхемы ко входу переноса C_0 следующей. Соединяя таким образом две микросхемы 7483, получаем 8-разрядное двоичное устройство.

3. ТРИГГЕРЫ

3.1. Общие положения

Триггерами или точнее триггерными системами называют большой класс электронных устройств, обладающих способностью длительно находиться в одном из двух устойчивых состояний и чередовать их под воздействием внешних сигналов. Каждое состояние триггера легко распознается по значению выходного напряжения.

Триггеры можно классифицировать по ряду признаков:

1. По способу записи информации – на асинхронные и синхронные;
2. По способу синхронизации – на синхронные со статическим управлением записью, синхронные двухступенчатые, синхронные с динамическим управлением;
3. По способу организации логических связей:
 - 3.1. Триггеры с отдельной установкой 0 и 1 (*RS*-триггеры);
 - 3.2. Триггеры со счетным входом (*T*-триггеры);
 - 3.3. Универсальные триггеры с отдельной установкой 0 и 1 (*JK*-триггеры);
 - 3.4. Триггеры задержки (*D*-триггеры);
 - 3.5. Триггеры задержки с управлением приемом информации по одному входу (*DU*-триггеры);
 - 3.6. Комбинированные триггеры (*RST*-, *JKRS*-, *DRS*-триггеры и др.);

3.7. Триггеры со сложной входной логикой.

Входы триггеров и сигналы, подаваемые на них, делятся на информационные – управляющие состоянием триггера и вспомогательные – служащие для предварительной установки триггера в заданное состояние и его синхронизацию.

В табл.3.1 приведены условные обозначения и назначения входов триггеров.

Поскольку функциональные свойства триггеров определяются их входной логикой, то по названиям основных входов называют и триггер.

Например:

RS-триггер, *D*-триггер, *RST*-триггер (комбинированный, способный выполнять функции *T*- и *RS*-триггеров).

Таблица 3.1

Условное обозначение	Назначение
	<i>Информационные входы</i>
<i>S</i>	Вход для раздельной установки триггера в состояние 1
<i>R</i>	Вход для раздельной установки триггера в состояние 0
<i>J</i>	Вход для установки триггера в состояние 1
<i>K</i>	Вход для установки триггера в состояние 0
<i>T</i>	Вход двоичного счетчика (счетный вход)
<i>D</i>	Вход для установки триггера в состояние 1 или 0
	<i>Вспомогательные входы</i>
<i>U</i>	Подготовительный вход для разрешения приема информации
<i>C</i>	Исполнительный вход для осуществления приема информации (вход синхронизации или тактирующий вход)

3.2. *RS*-триггеры (асинхронные, нетактируемые)

RS-триггер можно получить, охватив, как показано на рис. 3.1, два логических элемента ИЛИ-НЕ обратными связями. *RS*-триггер выпускается также в интегральном исполнении, в этом случае он может быть изображен в виде отдельного устройства, как показано на рис. 3.2.

Он имеет два выходных сигнала: Q и \bar{Q} инверсные друг другу и два входных: *S* (Set) – установка и *R* (Reset) – сброс. Имеется в виду сброс выхода Q триггера в нулевое состояние.

Если входные сигналы взаимно инверсные, причем $S = 1$ и $R = 0$, то

$$\bar{Q} = \overline{S + Q} = \overline{1 + Q} = 0,$$

$$Q = \overline{R + \overline{Q}} = \overline{0 + 0} = 1.$$

Следовательно, оба выходных сигнала действительно находятся в инверсных друг другу состояниях.

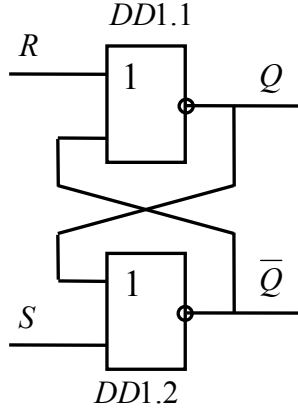


Рис. 3.1. RS-триггер на элементах ИЛИ-НЕ

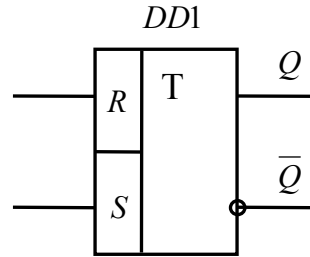
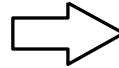


Рис. 3.2. Условное графическое изображение RS-триггера

При $R = 1$ и $S = 0$ можно получить обратные значения выходных сигналов триггера. Если $R = S = 0$, то состояние выходных сигналов сохраняется. Поэтому RS-триггер можно использовать для запоминания информации. При $R = S = 1$ оба выходных сигнала равны нулю. Однако, если в какой-либо момент оба входных сигнала одновременно станут равными нулю, состояние выходных сигналов триггера не будет определено. Поэтому комбинация входных сигналов $R = S = 1$, как правило, является запрещенной. Все возможные состояния триггера на элементах ИЛИ-НЕ отображены в таблице состояний 3.2.

Таблица 3.2

Состояния для RS-триггера на элементах ИЛИ-НЕ

Режим работы	Входы		Выходы		
	S	R	Q	\overline{Q}	Влияние на выход Q
Запрещенное состояние	1	1	0	0	Запрещено – как правило не используется
Установка 1	1	0	1	0	Для установки Q в 1
Установка 0	0	1	0	1	Для установки Q в 0
Хранение	0	0	Q	\overline{Q}	Зависит от предыдущего состояния

Как следует из табл. 3.2, при выполнении RS-триггера на элементах ИЛИ-НЕ активным уровнем R и S сигналов является высокий уро-

вень – 1. При необходимости, если требуется установить активным низкий уровень входных сигналов, то возможна принципиальная схема RS -триггера, приведенная на рис. 3.3.

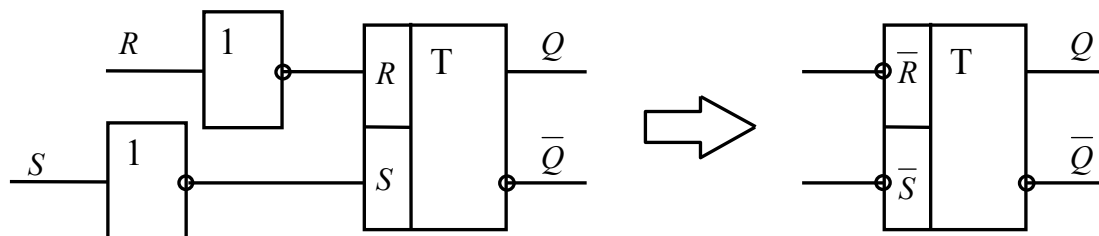


Рис. 3.3. RS -триггер с низким активным уровнем входных сигналов

Логическое тождество не изменится, если все переменные инвертировать, а операции сложения и умножения поменять местами (Теорема де Моргана). Используя это правило, можно получить RS -триггер, построенный на элементах И-НЕ (рис.3.4) с таблицей состояний 3.3. Следует обратить внимание на то, что в RS -триггере на элементах И-НЕ входными сигналами активного уровня является 0 и используются переменные \bar{R} и \bar{S} .

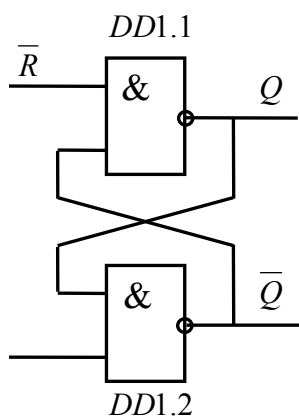


Рис. 3.4. RS -триггер на элементах И-НЕ

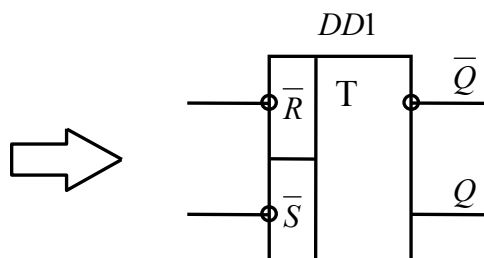


Рис. 3.5. Условное графическое изображение RS -триггера на элементах И-НЕ

В ТТЛ серии RS -триггер на элементах И-НЕ является основным, базовым.

Таблица 3.3

Состояния для RS -триггера на элементах И-НЕ

Режим работы	Входы	Выходы
--------------	-------	--------

	\bar{S}	\bar{R}	Q	\bar{Q}	Влияние на выход Q
Запрещенное состояние	0	0	1	1	Запрещено – как правило не используется
Установка 1	0	1	1	0	Для установки Q в 1
Установка 0	1	0	0	1	Для установки Q в 0
Хранение	1	1	Q	\bar{Q}	Зависит от предыдущего состояния

Поскольку изменение состояния RS -триггера обусловлено появлением уровня логического 0 на одном из его входов, то, вероятно, более точным обозначением для этой схемы было бы условное графическое обозначение, приведенное на рис.3.5. Обратите внимание на инвертирующие окружности по входам R и S . Они показывают, что активным уровнем сигнала для изменения состояния триггера является уровень логического 0 на одном из входов.

При описании работы последовательностных логических схем очень часто используют временные диаграммы сигналов. Временные диаграммы рис. 3.6. фактически содержат ту же информацию, что и таблица истинности.

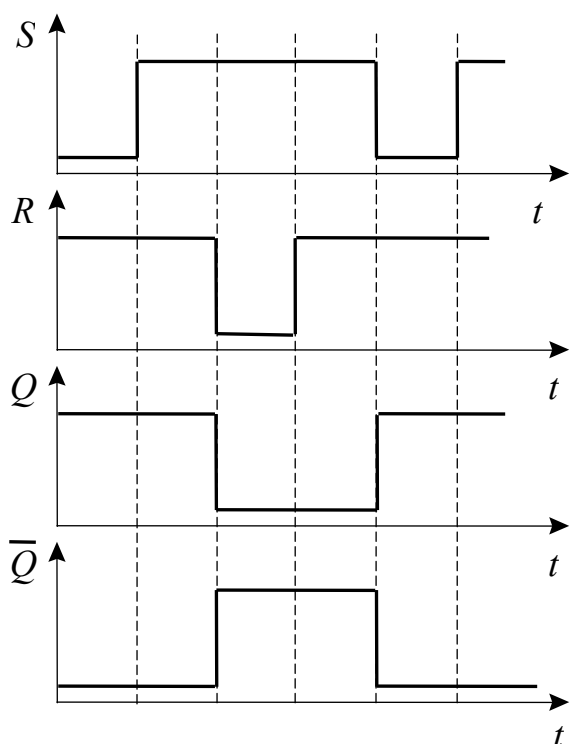


Рис. 3.6. Временные диаграммы для RS -триггера на элементах И-НЕ

При подаче входной комбинации $S = 0, R = 1$ на выходе Q независимо от предыдущего состояния появится 1, что приведет к появлению

нуля на выходе \bar{Q} . При возвращении к комбинации $S = 1, R = 1$ состояние на выходах сохраняется $Q = 1, \bar{Q} = 0$. Аналогично входная комбинация $S = 1, R = 0$ однозначно дает: $Q = 0$ и $\bar{Q} = 1$. Две последние комбинации входных сигналов могут быть использованы для приведения триггера в одно из двух устойчивых состояний.

В трех используемых комбинациях входных сигналов состояние на выходе Q всегда противоположно состоянию на выходе \bar{Q} . Принято два устойчивых состояния триггера сопоставлять с двумя значениями логической переменной, например, состояние $Q = 1, \bar{Q} = 0$ считать соответствующим логической единице, а состояние $Q = 0, \bar{Q} = 1$ – соответствующим логическому нулю. Выход, на котором состояние совпадает со значением логической переменной, называют прямым, в нашем случае это выход Q , а другой – инверсным \bar{Q} .

3.3. Синхронизированные RS-триггеры

Синхронизированные триггеры получают из асинхронного RS-триггера путем подключения к его входам схемы управления. На рис.3.7 показана логическая структура синхронизированного RS-триггера со статическим управлением, выполненного на элементах И-НЕ. Он состоит из собственно RS-триггера (DD1.3, DD1.4) и элементов DD1.1 – DD1.2, образующих схему управления.

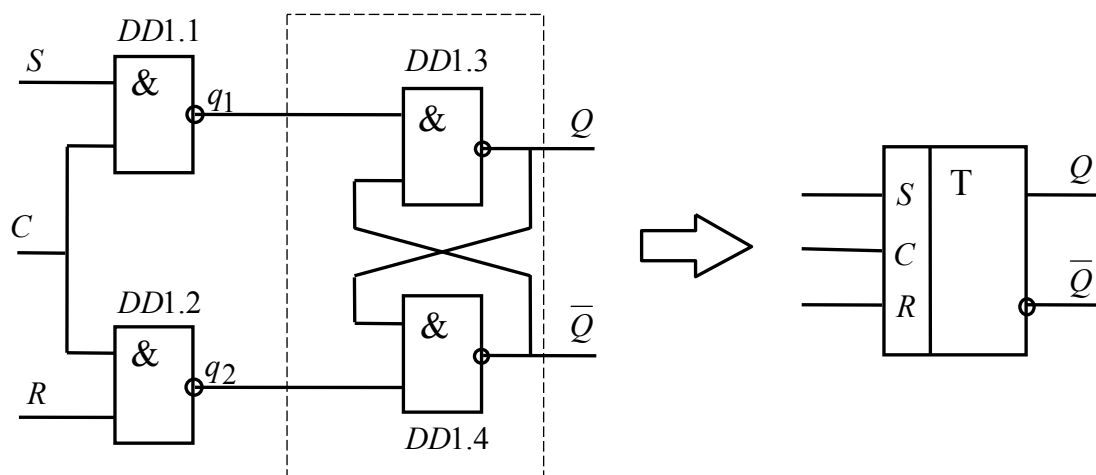


Рис. 3.7. Схема синхронизированного RS-триггера

Входы R и S – информационные, вход C – синхронизирующий (тактовый). Каждый из информационных входов связан с синхронизи-

рующим операцией И-НЕ, поэтому информация с входов S и R может быть передана на собственно триггер ($DD1.3, DD1.4$) только при $C = 1$.

Временные диаграммы, иллюстрирующие работу синхронизированного RS -триггера, показаны на рис.3.8.

Внутренние сигналы (q_1 и q_2) управляют собственно RS -триггером, который, как и его асинхронный аналог на элементах И-НЕ (см. рис. 3.5) переключается сигналами нулевого уровня. Поскольку на элементах $DD1.1$ и $DD1.2$ происходит инверсия, то для записи информации в триггер потребуются входные сигналы S и R , равные логической 1. Подключать тактовый вход C прямо к элементам $DD1.3$ и $DD1.4$ нельзя, поскольку триггер будет принимать неопределенное состояние при $C = 0$.

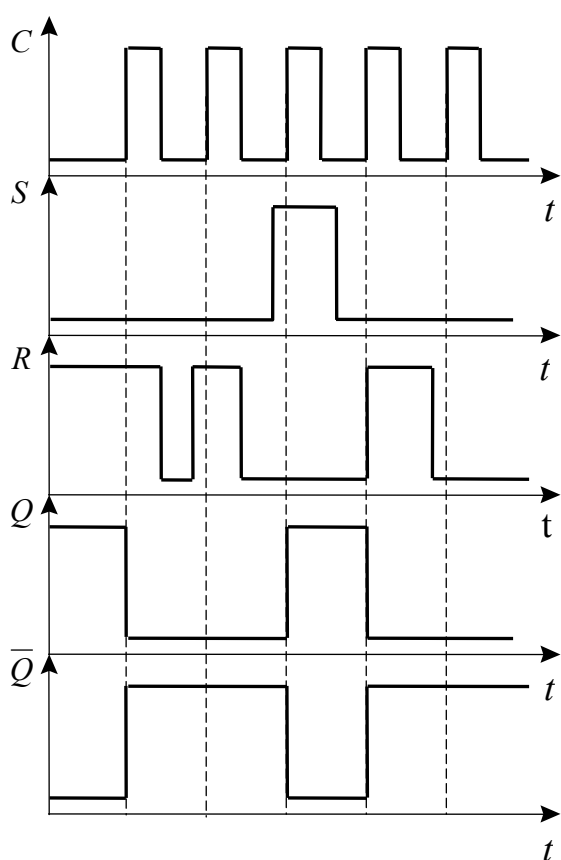


Рис. 3.8. Диаграммы напряжений

С окончанием тактового импульса для RS -триггера снова возникает нейтральная комбинация, благодаря которой на выходах сохранится записанная информация.

Обратный перебор в состояние $Q = 1$ входным сигналом $S = 1$ произойдет аналогично.

Если сигнал на входе $C = 0$, то входные элементы $DD1.1$ и $DD1.2$ блокированы и их состояние не зависит от сигналов на информационных входах S и R , выходные сигналы q_1 и q_2 равны 1. Это является нейтральной комбинацией для RS -триггера, который хранит свое предыдущее состояние. Работу триггера рассмотрим на примере, допустим, что $Q = 1, R = 1$, а $S = 0$.

С приходом тактового импульса ($C = 1$) входные логические элементы $DD1.1$ и $DD1.2$ устанавливают на выходах q_1 и q_2 следующие сигналы $q_1 = 1, q_2 = 0$, отчего на выходах RS -триггера формируются сигналы $\bar{Q} = 1$ и $Q = 0$.

Входная комбинация $S = R = 1$ недопустима, так как при $C = 1$ на промежуточных шинах возникает сочетание $q_1 = q_2 = 0$, которое создаст состояние на выходе RS-триггера $Q = \bar{Q} = 1$.

3.4. JK-триггеры

JK-триггер является весьма распространенным, универсальным типом триггера. Условное графическое изображение простейшего JK-триггера приведено на рис. 3.9. Он обычно имеет два информационных входа J и K , вход тактовых импульсов C , входы установки S и сброса K , а также комплиментарные выходы Q и \bar{Q} .

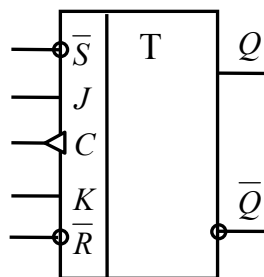


Рис. 3.9. Графическое изображение JK-триггера

Работу JK-триггера поясняют временные диаграммы (рис. 3.10).

Как правило, JK-триггер реализуется на основе синхронного двухступенчатого RS-триггера структуры «мастер-помощник». Как следует из графического изображения триггера и временных диаграмм его работы, входы S и R с активным низким уровнем. Когда на один из этих входов подан сигнал низкого уровня, информация с входов C , J и K восприниматься не будет, то есть входы S и R имеют приоритет над остальными входами. Информация со входов J и K записывается в триггер в два приема фронтом и срезом положительного тактового импульса по входу C . Причем, фронтом импульса по входу C сигнал высокого уровня с J входа записывается сначала в синхронизированный RS-триггер «мастер», а срезом в синхронизированный RS-триггер «помощник», и сигнал высокого уровня появляется на выходе Q .

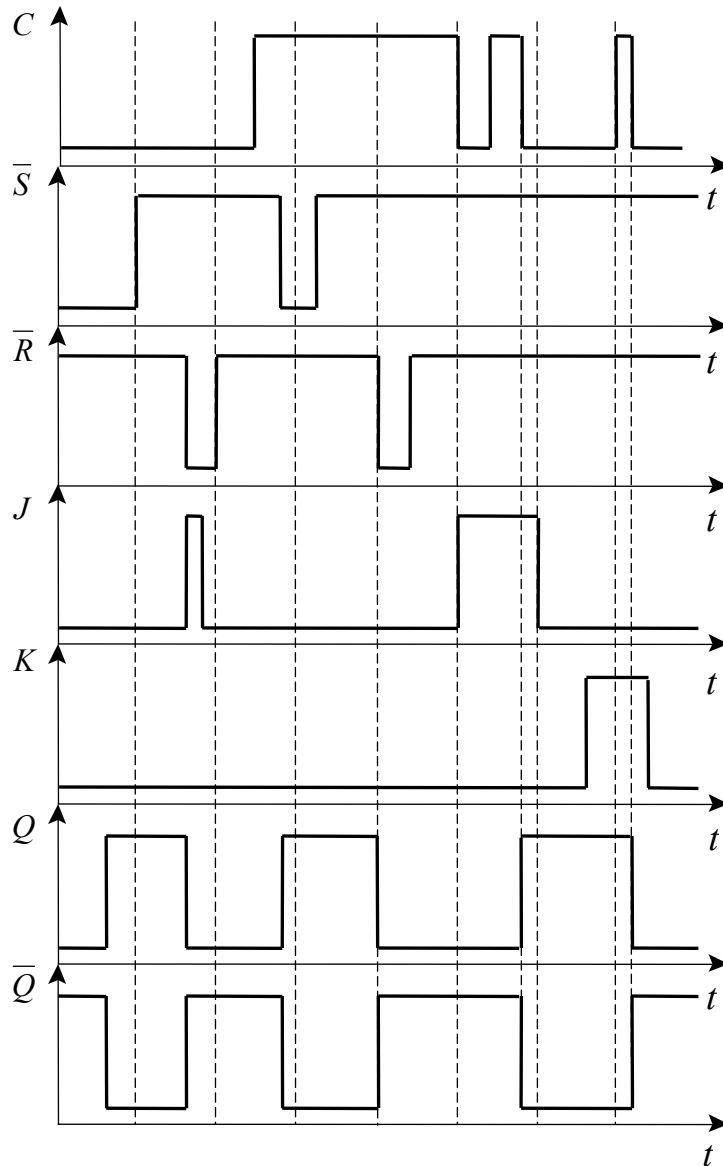


Рис. 3.10. Временные диаграммы

В ТТЛ логике характерным примером JK -триггера со структурой «мастер – помощник» (рис. 3.11) является микросхема К555ТВ1.

На рис.3.12 приведено условное графическое обозначение, а на рис. 3.13 – цоколевка микросхемы К555ТВ1. Входы установки S и сброса R имеют низкие логические уровни. У микросхемы есть три входа J ($J1 - J3$) и три входа K ($K1 - K3$), тактовый вход C и выходы Q и \bar{Q} .

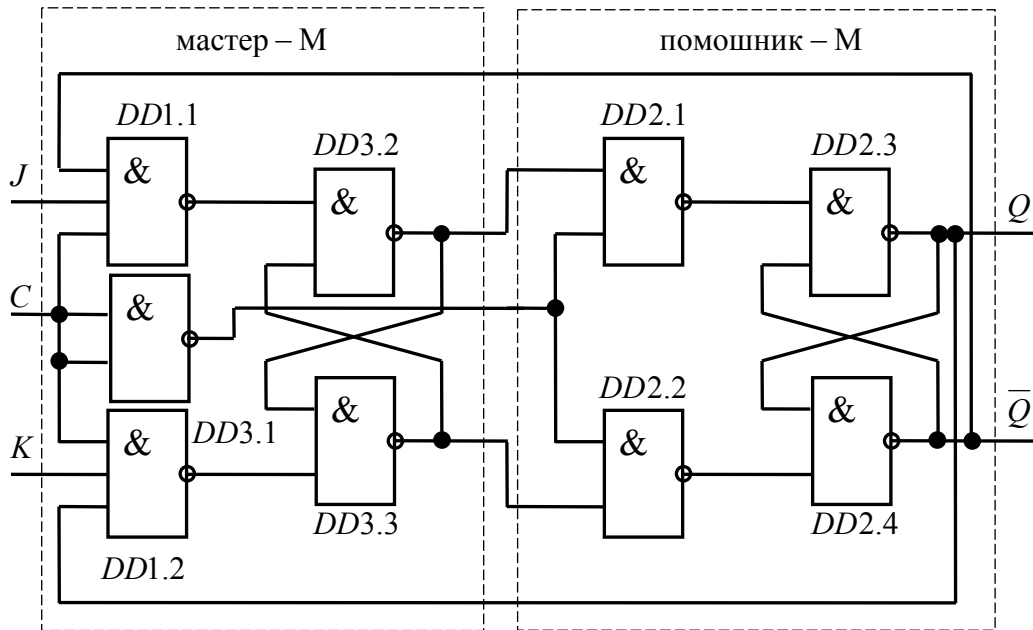


Рис. 3.11. Структурная схема микросхемы К555ТВ1

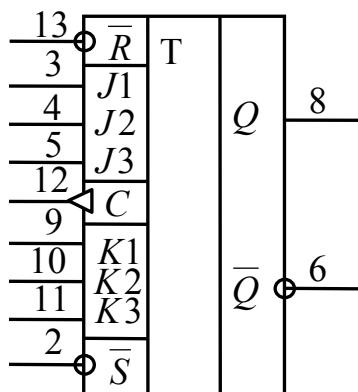


Рис.3.12. Графическое изображение микросхемы

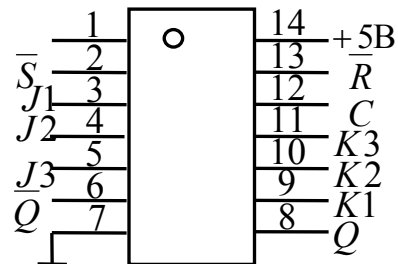


Рис. 3.13. Цоколевка микросхемы К555ТВ1

Входы S и R являются приоритетными. Нулевой сигнал на входе S устанавливает выход Q в единичное состояние вне зависимости от уровней сигналов на J , K и C входах. При $S = R = 1$ разрешается синхронное управление по J и K – входам. Вход J устанавливает на выходе Q сигнал, равный 1, а вход K сигнал, равный 0.

Управление состоянием JK -триггера происходит согласно табл.3.4.

Таблица 3.4

J	K	C	Q	\bar{Q}	Примечание
1	0		1	0	Запись единицы в JK -триггер
0	1		0	1	Запись нуля в JK -триггер
0	0		Q	Q	Триггер не меняет состояние
1	1		Q	Q	Триггер меняет состояние на инверсное

Состояние двухступенчатого триггера переключается фронтом и срезом положительного тактового импульса. JK -информация загружается в триггер «мастер» ($DD3.2 - DD3.3$), когда напряжение на входе C переходит на высокий уровень ($0 \rightarrow 1$) и переносится в триггер – «помощник» ($DD2.3 - DD2.4$) по отрицательному ($1 \rightarrow 0$) перепаду импульса на входе C .

Отличие JK -триггера от синхронизированного RS -триггера состоит в том, что отсутствуют запрещенные входные комбинации. При подаче на оба входа J и K сигнала, равного 1, триггер изменяет свое состояние на противоположное (инверсное) по срезу сигнала на входе C .

Из схемы следует, что состояние JK -триггера зависит не только от сигналов на входах J и K , но и от логически связанных с ними сигналов с выходов Q и \bar{Q} . Наличие цепей обратной связи наряду с информационными входами J и K присуще всем JK -триггерам.

3.5. D -триггеры

Наиболее часто в цифровых интегральных микросхемах, а также в импульсных устройствах применяют триггеры с единственным входом данных D (DATA), так называемые D -триггеры.

D -триггеры, в отличие от рассмотренных ранее типов, имеют для установки выхода в состояние 1 или 0 один информационный вход D и вход C для синхронной записи.

Функциональная особенность этого типа триггеров состоит в том, что сигнал на входе Q после такта записи повторяет информацию на входе и запоминает это состояние до следующего такта записи.

Один из вариантов схемы D -триггера на элементах И-НЕ представлен на рис. 3.14, условное графическое изображение D -триггера приведено на рис. 3.15. Элементы $DD1.3$ и $DD1.4$ образуют ячейку памяти, а $DD1.1$ и $DD1.2$ схему управления.

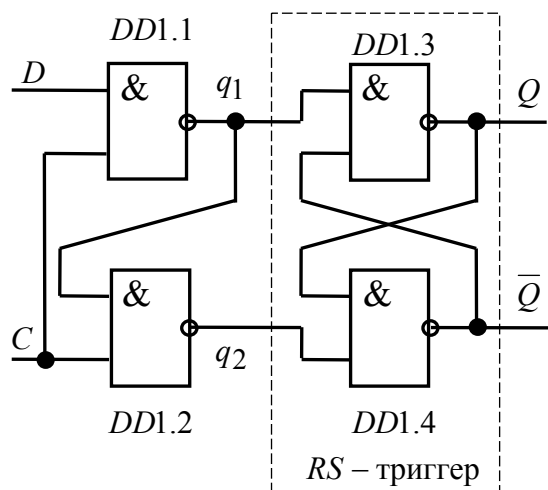


Рис.3.14. D -триггер на элементах И-НЕ

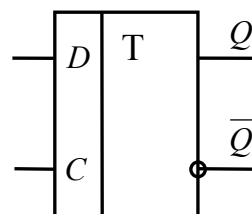
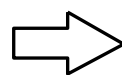


Рис. 3.15. Условное физическое изображение D -триггера

При нулевом сигнале на входе C состояние триггера от изменения входного сигнала на входе D не зависит, т.к. логические элементы $DD1.1$ и $DD1.2$ закрыты и на их выходах установились сигналы высокого уровня независимо от сигнала на D -входе, что служит нейтральной комбинацией для RS -триггера, выполненного на элементах $DD1.3$ и $DD1.4$. Изменение состояния D -триггера происходит только при высоком уровне сигнала на входе C , т.е. D -триггер записывает информацию со входа D на выход Q при положительном импульсе на входе C .

Так, например, в момент времени t_1 (рис.3.16) на входе C появляется сигнал, равный 1, а на входе D действует сигнал равный 0. Тогда на выходе элемента $DD1.1$ устанавливается сигнал равный 1. Так как на входы элемента $DD1.2$ поданы сигналы, равные 1, то на его выходе устанавливается сигнал равный нулю. Сигналы с выходов элементов $DD1.1$ и $DD1.2$ устанавливает RS -триггер, выполненный на элементах $DD1.3$ и $DD1.4$ в состояние, когда на выходе Q сигнал равен 0, а на выходе \bar{Q} равен 1.

Дальнейшая работа D -триггера становится понятной при рассмотрении диаграмм на рис. 3.16.

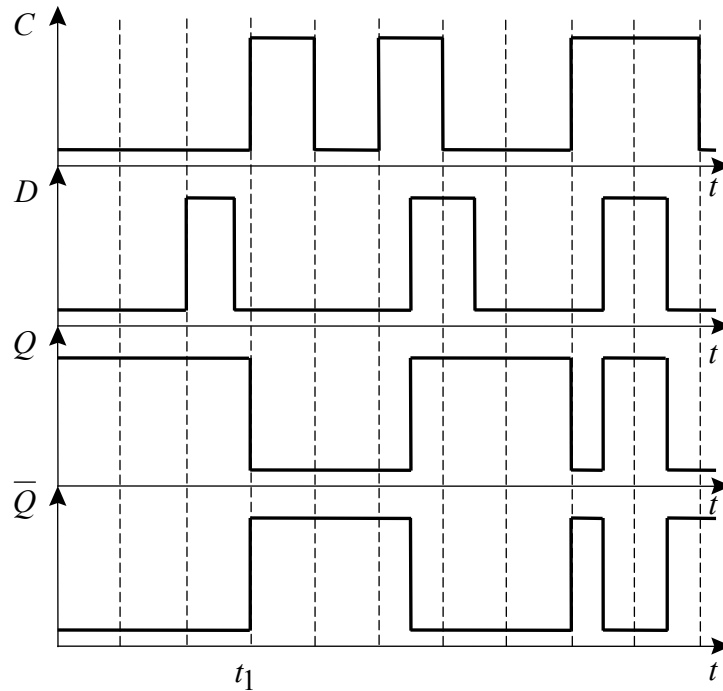


Рис. 3.16. Диаграммы напряжений, поясняющие работу D-триггера

Широко применяют D -триггеры с динамическим управлением (микросхема типа К555ТМ2). Выходной сигнал таких триггеров переключается только по положительному перепаду импульса на тактовом входе C . Условное графическое обозначение такого триггера приведено на рис. 3.17, цоколевка микросхемы К555ТМ2 – на рис. 3.18, а временные диаграммы, поясняющие его работу – на рис. 3.19.

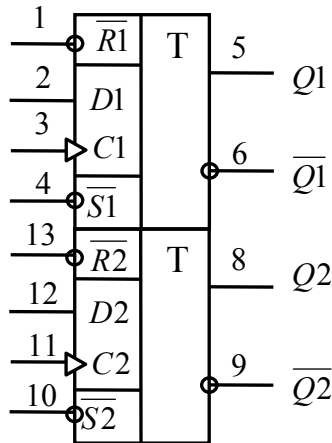


Рис.3.17. Условное графическое изображение динамического D -триггера (К555ТМ2)

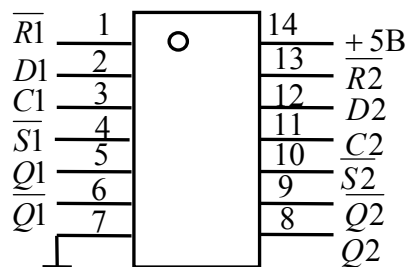


Рис.3.18. Цоколевка микросхемы К555ТМ2

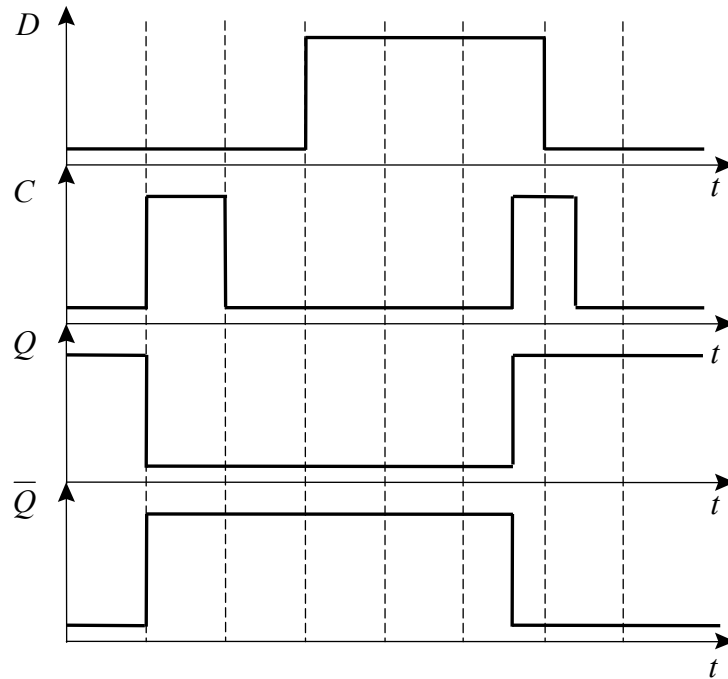


Рис.3.19. Диаграммы напряжений, поясняющие работу динамического D -триггера

Возможные состояния D -триггера на микросхеме K555TM2 сведены в табл. 3.5.

В тех случаях, когда запись информации в динамический D -триггер необходимо производить по заднему фронту (срезу импульса), D -триггер можно выполнить на базе JK -триггера, рис. 3.20. Для этого потребуется дополнительный элемент – инвертор, который в схеме рис. 3.20 выполнен на элементе 2И-НЕ – микросхема $DD1$.

Таблица 3.5

Режим работы	Вход				Выход	
	\bar{S}	\bar{R}	C	D	Q	\bar{Q}
Асинхронная установка	0	1	x	x	1	0
Асинхронный сброс	1	0	x	x	0	1
Неопределенность	0	0	x	x	1	1
Установка 1	1	1	↑	1	1	0
Установка 0	1	1	↑	0	0	1

x – безразличное состояние.

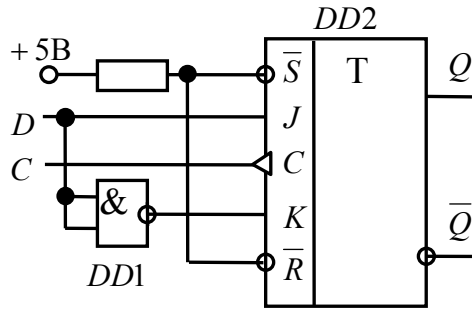


Рис. 3.20. Схема выполнения D -триггера на основе JK -триггера

3.6. T -триггеры

T -триггер или двоичный счетчик имеет один управляющий вход T и отличается простотой принципа действия. Смена состояний выходного сигнала на инверсное здесь происходит всякий раз, когда управляющий сигнал меняет свое значение в одном направлении. В зависимости от того, какой из фронтов входного сигнала используется для управления (от 0 до 1 или от 1 к 0), считается, что T -триггер имеет прямой или инверсный динамический вход.

По способу ввода информации T -триггеры могут быть асинхронными и синхронными.

T -триггер – вид триггера, текущее состояние которого определяется его же состоянием в предыдущем такте. На рис. 3.21 представлены временные диаграммы работы T -триггера.

Поскольку управление происходит по одному входу, T -триггеры неопределенных состояний не имеют.

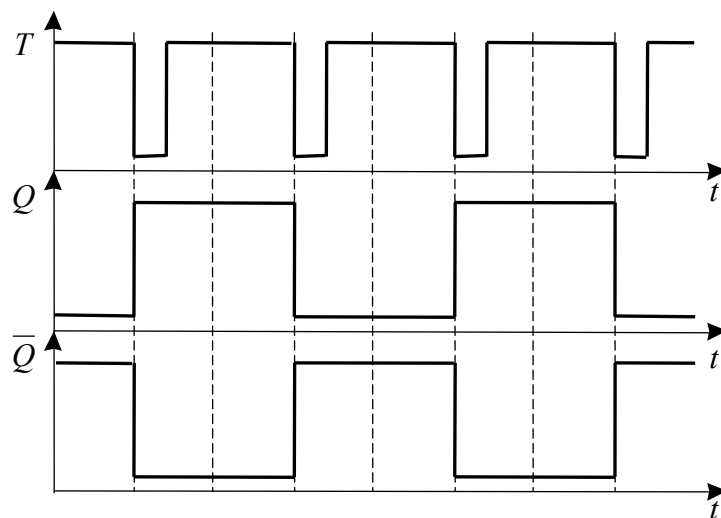


Рис. 3.21. Диаграммы напряжений, поясняющие работу T -триггера

В интегральном исполнении T -триггеры не производятся, т.к. легко выполняются на базе JK или D -триггеров путем определенных соединений внешних выводов. Общий принцип построения счетных триггеров состоит во введении обратной связи с выходов на входы так, чтобы обеспечить смену сигналов на информационных входах после каждого такта.

На рис.3.22 показана схема получения T -триггера из универсального JK -триггера (например, К555ТВ1). В асинхронном режиме тактовый вход выполняет роль счетного, в синхронном режиме используется по прямому назначению. В обоих случаях триггер переключается при переходе сигнала на входе C с 1 на 0.

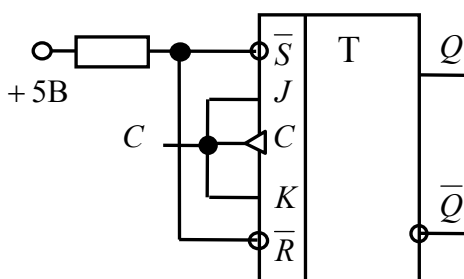


Рис. 3.22. Схема T -триггера на базе JK -триггера

На рис.3.23 показана схема получения T -триггера из D -триггера. Отличительной особенностью такого триггера является переключение по переднему фронту, то есть при переходе сигнала на входе C с 0 на 1.

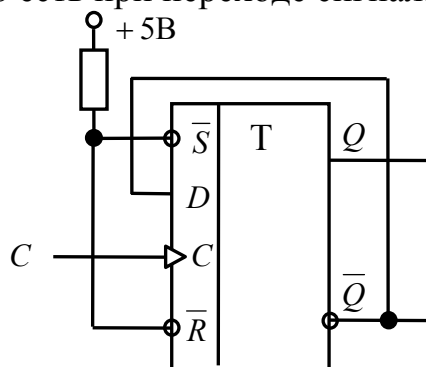


Рис.3.23. Схема преобразования T -триггера из D -триггера

Исходной структурной ячейкой, на основе которой строятся последовательностные логические схемы, является триггер. В основе структуры триггера лежит бистабильный элемент (имеет 2 устойчивых состояния).

4. СЧЕТЧИКИ

4.1. Общие положения

Счетчиком называется цифровое устройство, осуществляющее счет поступающих на его вход импульсов и запоминание результатов подсчета в заданном коде.

По целевому назначению счетчики подразделяются на нереверсивные и реверсивные. В свою очередь нереверсивные счетчики подразделяются на суммирующие и вычитающие.

Суммирующие счетчики служат для сложения последовательности импульсов напряжения, то есть для счета импульсов в прямом направлении.

Вычитающие счетчики предназначены для вычитания последовательности импульсов, то есть для счета импульсов в обратном направлении.

Реверсивные счетчики служат для выполнения операции счета как в прямом, так и в обратном направлении.

Основой любой из схем счетчиков является последовательное соединение триггеров. Обычно для построения счетчиков используются T – триггеры, выполненные на базе D – или JK – триггеров.

Одним из основных параметров счетчика является **модуль коэффициента счета** (коэффициент счета, емкость счетчика) $k_{сч}$, который определяет число устойчивых состояний, т.е. предельное число импульсов, которое может быть им зафиксировано. Модуль коэффициента счета счетчика, состоящего из n последовательных триггеров типа T , составляет 2^n .

Счетчик, составленный из последовательно соединенных T – триггеров называется **двоичным**. За счет внутренних обратных связей или соединений с помощью дополнительной логики модуль коэффициента счета счетчика можно уменьшить. Счетчик с емкостью 10 называется **двоично-десятичным**. Промышленность выпускает счетчики в интегральном исполнении с модулем коэффициента счета равным 2^n , 10, 12 и программируемым коэффициентом счета.

Различают **асинхронные** и **синхронные** счетчики.

В **асинхронном** счетчике каждый триггер вносит в процесс счета определенную задержку, поэтому младшие разряды результирующего кода появляются на выходах триггеров не одновременно, т.е. не синхронно с соответствующим синхронизирующим импульсом.

В **синхронном** счетчике все триггеры получают синхронизирующий импульс одновременно, поскольку синхронизирующие входы их соединяются параллельно. Поэтому триггеры переключаются практически одновременно. Синхронная схема счетчика значительно сложнее асинхронной. На ее выходах данные от каждого разряда появляются одновременно и строго синхронно с последним входным импульсом. В синхронный счетчик разрешается синхронная (с синхронизирующим импульсом) параллельная (в каждый триггер) загрузка начальных данных.

4.2. Двоичные счетчики на Т-триггерах

Двоичный суммирующий счетчик можно собрать на Т-триггерах в соответствии со схемой рис. 4.1.

Действие счетчиков импульсов основано на двух главных свойствах триггеров: способности изменять свое входное состояние и сохранять полученное состояние до внешнего воздействия. Поступающий на счетный вход сигнал с инверсного выхода \bar{Q} предыдущего триггера включает своим передним фронтом последующий триггер (рис. 6.1).

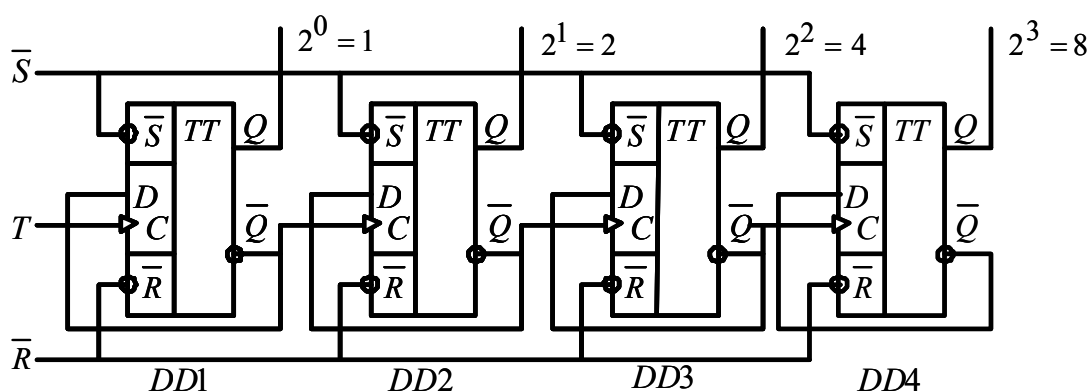


Рис. 4.1. Двоичный суммирующий счетчик

Т-триггеры выполнены на основе D-триггеров. Положительный перепад сигнала на входе счетчика T увеличивает содержимое счетчика на 1. Переход любого триггера счетчика из состояния 1 в 0 приводит к появлению положительного перепада на инверсном выходе этого триггера и переключению триггера следующего разряда. При счете состояние триггеров счетчика меняется в соответствии с таблицей 4.1. Диаграммы напряжений, поясняющие работу суммирующего двоичного счетчика, приведены на рис. 4.2.

Таблица 4.1

Десятичное число	Выходы Q			
	$DD4$	$DD3$	$DD2$	$DD1$
0	0	0	0	0
1	0	0	0	1
2	0	0	1	0
3	0	0	1	1
4	0	1	0	0
5	0	1	0	1
6	0	1	1	0
7	0	1	1	1
8	1	0	0	0
9	1	0	0	1
10	1	0	1	0
11	1	0	1	1
12	1	1	0	0
13	1	1	0	1
14	1	1	1	0
15	1	1	1	1

Для нормальной работы счетчика на входах \bar{S} и \bar{R} триггеров должна быть установлена логическая 1. Переход сигнала на ноль на одном из этих входах немедленно переводит счетчик в состояние $0_{10} = 0000_2$ (вход \bar{R}) или $15_{10} = 1111_2$ (вход \bar{S}) и блокирует счет.

Совокупность выходных сигналов на выходах $Q1 - Q8$ соответствует числу импульсов в двоичном коде, поступивших на счетчик к данному моменту времени.

Выход первого триггера Q_1 устанавливается в единичное состояние после каждого второго входного импульса, выход второго триггера Q_2 – после каждого четвертого импульса, выход третьего триггера – после каждого восьмого импульса и т.д. Число триггеров $n = 4$ определяет число разрядов счетчиков и его емкость $N = 2^n = 16$.

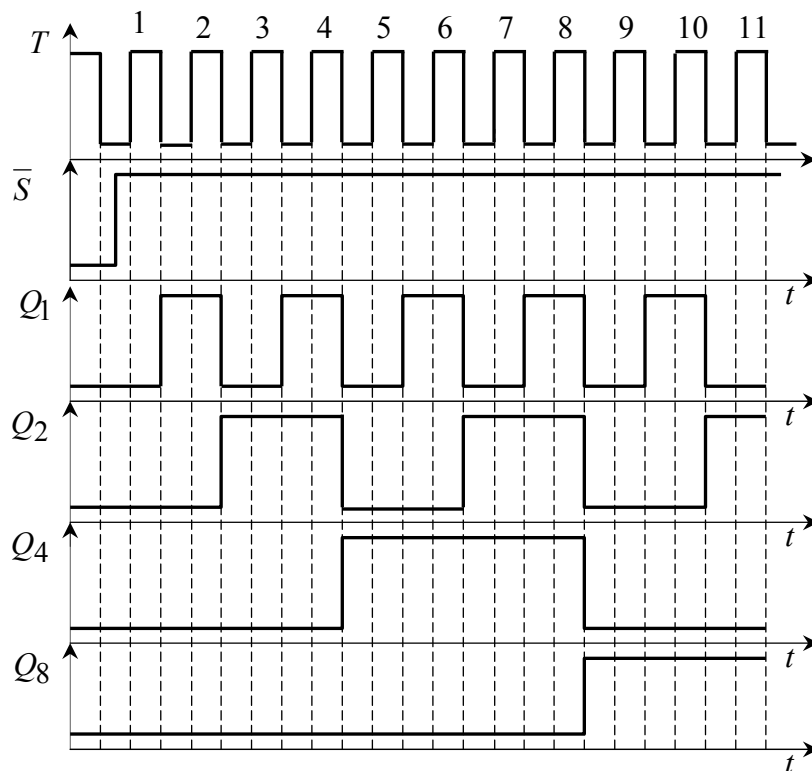


Рис. 4.2. Диаграммы напряжений двоичного суммирующего счетчика

Из приведенных диаграмм следует, что состояния триггеров отвечают в двоичном коде порядковому номеру воздействующего импульса. Так, например, после пятого сосчитанного входного импульса состояние или содержимое счетчика таково: $Q_8 = 0$, $Q_4 = 1$, $Q_2 = 0$, $Q_1 = 1$ т.е. число, записанное счетчиком, равно 0101 или $N = 0 \cdot 2^3 + 1 \cdot 2^2 + 0 \cdot 2^1 + 1 \cdot 2^0 = 5$. Здесь первый триггер соответствует старшему разряду числа, а последний – младшему. После девятого входного импульса содержимое счетчика будет 1001 или $N = 1 \cdot 2^3 + 0 \cdot 2^2 + 0 \cdot 2^1 + 1 \cdot 2^0 = 9$

Как следует из временных диаграмм работы счетчика, приведенных на рис. 4.2, при каждом переходе младшего разряда (Q_1) к старшему разряду (Q_2 , Q_4 , Q_8) частота выходного сигнала триггера снижается вдвое. Таким образом, данный счетчик одновременно выполняет функцию делителя частоты, в котором частота выходного сигнала старшего разряда определяется соотношением:

$$f_{\text{вых}} = \frac{f_{\text{вх}}}{2^n},$$

где $f_{\text{вх}}$ – частота сигнала на входе T счетчика, Гц;

n – номер триггера.

Одновременно с увеличением числа на прямых выходах триггеров счетчика, двоичное число на инверсных выходах триггеров убывает от 1111_2 до 0000_2 . Таким образом, относительно инверсных выходов счетчик можно рассматривать как вычитающий.

Другой вариант вычитающего счетчика можно получить, если на вход следующего триггера подать сигнал с прямого выхода предыдущего триггера. При счете на прямых выходах триггеров будет формироваться убывающее двоичное число (см. табл. 4.2). Структурная схема вычитающего счетчика приведена на рис. 4.3.

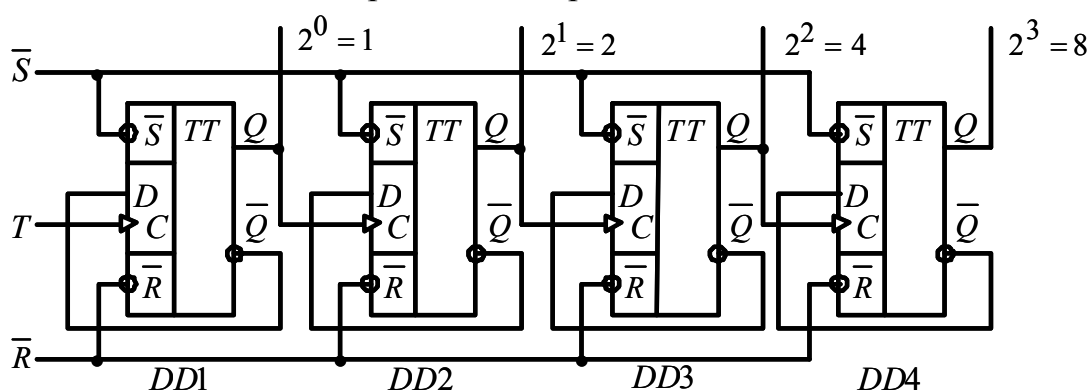


Рис. 4.3. Структурная схема вычитающего счетчика

Если перед началом счета счетчик был установлен в состояние $0_{10} = 0000_2$, то первый положительный перепад на входе T переведет его в состояние $15_{10} = 1111_2$. При поступлении последующих импульсов двоичное число на прямых выходах будет убывать в соответствии с таблицей 4.2.

Таблица 4.2

Десятичное число	Выходы Q			
	$DD4$	$DD3$	$DD2$	$DD1$
0	0	0	0	0
15	1	1	1	1
14	1	1	1	0
13	1	1	0	1
12	1	1	0	0
11	1	0	1	1
10	1	0	1	0
9	1	0	0	1
8	1	0	0	0
7	0	1	1	1

Продолжение таблицы 4.2

Десятичное число	Выходы Q			
	$DD4$	$DD3$	$DD2$	$DD1$
6	0	1	1	0
5	0	1	0	1
4	0	1	0	0
3	0	0	1	1
2	0	0	1	0
1	0	0	0	1

Для нормальной работы счетчика на входах \bar{S} и \bar{R} триггеров должна быть установлена логическая 1. Переход сигнала на ноль на одном из этих входов переводит счетчик в состояние $0_{10} = 0000_2$ (вход \bar{R}) или $15_{10} = 1111_2$ (вход \bar{S}).

Диаграммы напряжений, поясняющие работу вычитающего двоичного счетчика, приведены на рис. 4.4.

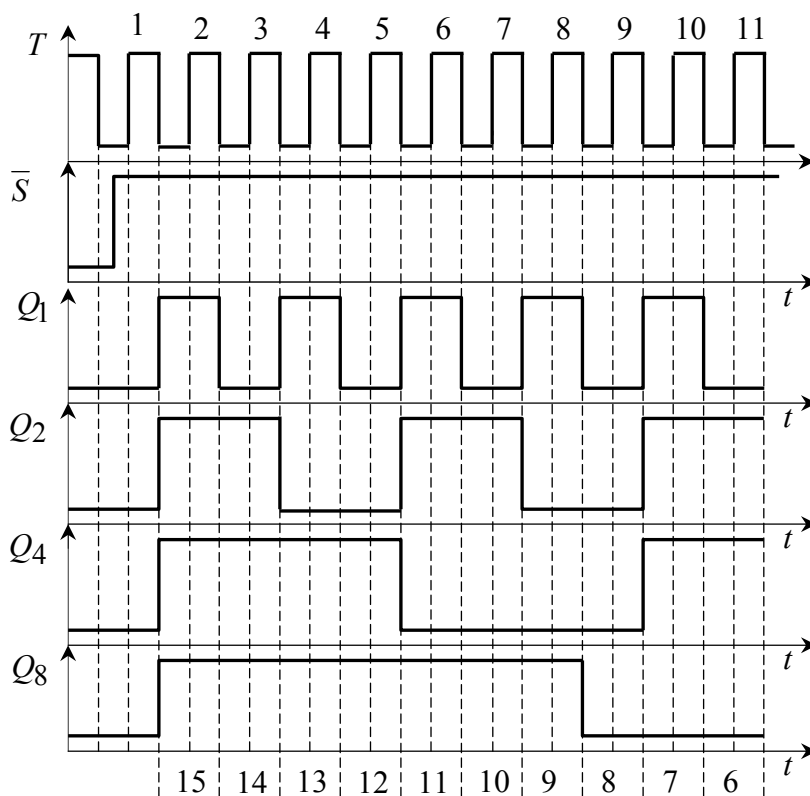


Рис. 4.4. Диаграммы напряжений двоичного вычитающего счетчика

4.3. Двоично-десятичные счетчики

Двоично-десятичный можно реализовать на основе двоичного суммирующего счетчика, добавив дополнительные логические элементы (рис. 6.5).

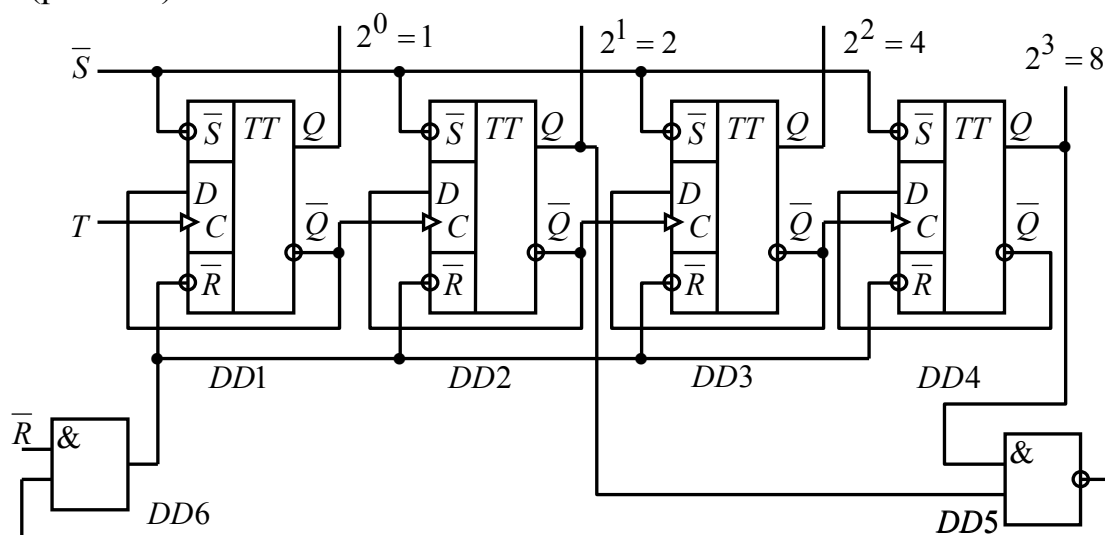


Рис. 4.5. Двоично-десятичный счетчик

Счетная последовательность десятичного счетчика представляется в двоично-десятичном коде ($Q_8, Q_4, Q_2, Q_1 - 8421$). Для девяти входных импульсов счетчик ведет себя подобно двоичному, но десятый импульс, вместо того, чтобы установить состояние 1010 (как это происходит у двоичных счетчиков) через дополнительные элементы $DD5$ и $DD6$ возвращает счетчик в нулевое состояние 0000 (Табл. 4.3).

Для нормальной работы счетчика на входах \bar{S} и \bar{R} триггеров должна быть установлена логическая 1. Установка 0 на входе \bar{R} приводит к сбросу счетчика.

Попытка установки счетчика в состояние $15_{10} = 1111_2$ сигналом $\bar{S} = 0$ приводит к неопределенным результатам. Действительно, при $\bar{S} = 0$ счетчик переходит в состояние $15_{10} = 1111_2$. Установка в состояние 1 триггеров второго и четвертого разрядов приводит к появлению 0 на выходе элементов И-НЕ, И. Таким образом 0 устанавливается и на входах \bar{R} всех триггеров. При $\bar{R} = \bar{S} = 0$ триггеры переходят в состояние, когда сигналы на прямом и инверсном выходе одинаковы и равны 1. При выходе из этого состояния ($\bar{S} = 1$) состояние триггеров счетчика неопределенно.

Диаграммы напряжений, поясняющие работу счетчика приведены на рис. 4.6.

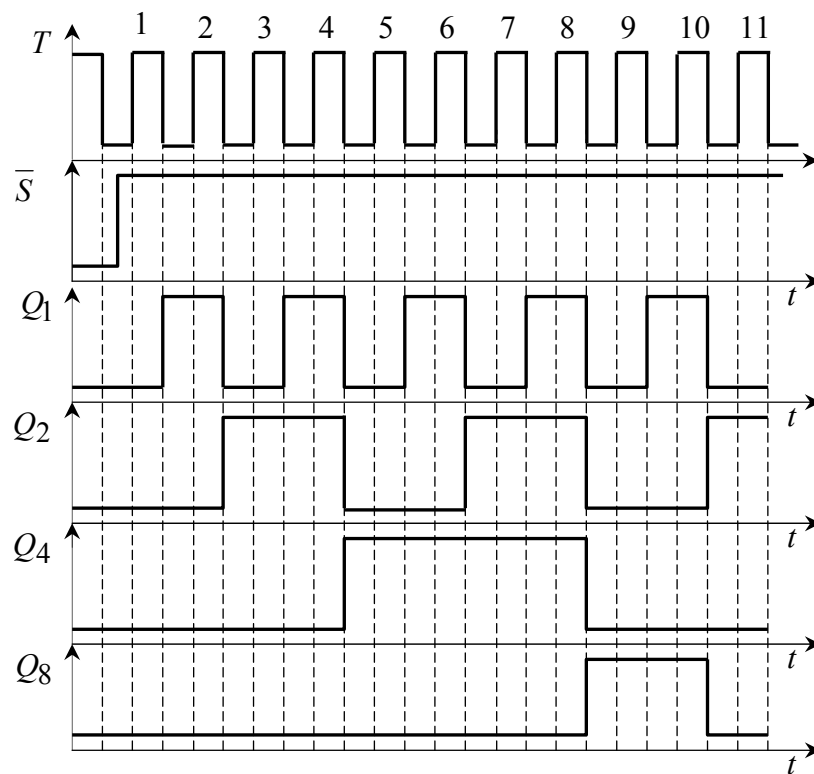


Рис.4.6. Диаграммы напряжений двоично-десятичного счетчика

Таблица 4.3. Таблица истинности двоично-десятичного счетчика

Десятичное число	Выходы Q			
	$DD4$	$DD3$	$DD2$	$DD1$
0	0	0	0	0
1	0	0	0	1
2	0	0	1	0
3	0	0	1	1
4	0	1	0	0
5	0	1	0	1
6	0	1	1	0
7	0	1	1	1
8	1	0	0	0
9	1	0	0	1
10 (Сброс в состояние $0_{10} = 0000_2$)	0	0	0	0

4.4. Реверсивные счетчики

4.4.1. Реверсивный двоичный счетчик КР1533ИЕ7

Микросхема КР1533ИЕ7 (зарубежный аналог 74ALS192) расположена в 16-контактном корпусе и содержит четырехразрядный реверсивный счетчик (рис. 4.7).

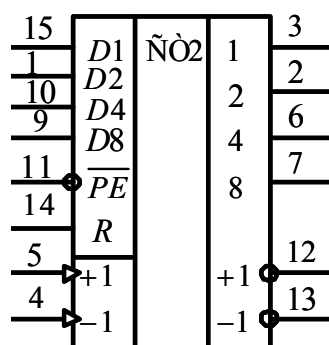


Рис. 4.7. Четырехразрядный реверсивный двоичный счетчик КР1533ИЕ7

Счетчик КР1533ИЕ7 имеет два отдельных тактовых входа для счета на увеличение $+1$ и (вывод 5) на уменьшение -1 (вывод 4). Содержимое счетчика изменяется по положительному перепаду тактовых импульсов от низкого уровня к высокому.

Для создания реверсивного счетчика с модулем коэффициента счета, превышающим 16, два или более счетчиков соединяются последовательно, а выводы $+1$ (вывод 12) и -1 (вывод 13) предыдущей микросхемы присоединяются к выводам $+1$ (вывод 5) и -1 (вывод 4) последующей микросхемы двоичного реверсивного счетчика.

Схема счетчика КР1533ИЕ7 построена таким образом, что счетная последовательность импульсов должна подаваться только на один из входов $+1$ или -1 , на другом входе в это время необходимо поддерживать напряжение высокого логического уровня. Во избежание ошибок менять направление счета следует в моменты времени, когда счетный импульс по любому входу имеет высокий логический уровень. Указанные меры предотвращения сбоев в счете следует применять только по отношению к первому из последовательно соединенных счетчиков, так как для последующих это условие выполняется автоматически.

Счетчик КР1533ИЕ7 позволяет предварительно записать в него любое число в пределах модуля коэффициента счета от 0 до 15 в двоичном коде. Для этого на параллельные входы $D1, D2, D4, D8$ (выводы 15, 1, 10, 9) подается требуемый четырехразрядный код, а на входе разре-

шения параллельной загрузки \overline{PE} (вывод 11) необходимо сформировать короткий импульс (более 40 нс) низкого логического уровня. Записанный по входам $D1, D2, D4, D8$ код отображается на выходах 1, 2, 4, 8 (выводы 3, 2, 6, 7) микросхемы. Во время счета на входе \overline{PE} должен поддерживаться высокий логический уровень.

При выполнении лабораторной работы № 7 используется мини-блок, в котором выводы предварительной загрузки $D1, D2, D4, D8$ и разрешения загрузки \overline{PE} не выведены на его переднюю панель. Упрощенная схема реверсивного двоичного счетчика, построенная на основе счетчика КР1533ИЕ7, приведена на рис. 4.8.

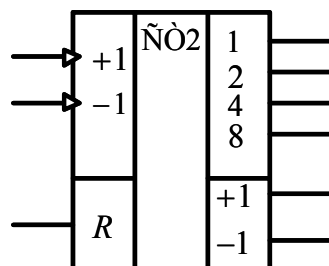


Рис. 4.8. Четырехразрядный реверсивный двоичный счетчик

Четырехразрядный реверсивный двоичный счетчик (рис. 4.8) имеет два отдельных тактовых входа для счета на увеличение +1 и на уменьшение -1. Информационные выходы 1, 2, 4, 8 и выходы переноса информации на увеличение +1 и на уменьшение -1. Сброс счетчика в исходное нулевое состояние осуществляется высоким логическим уровнем по входу R . Вход сброса R является приоритетным по отношению ко всем другим входам счетчика.

Режим работы четырехразрядного реверсивного двоичного счетчика поясняет табл. 4.4.

Таблица 4.4

Режим работы	Вход			Выход					
	R	+1	-1	1	2	4	8	+1	-1
Сброс	1	x	0	0	0	0	0	1	0
	1	x	1	0	0	0	0	1	1
Счет на увеличение	0	\uparrow	1	Счет на увеличение				1	1
Счет на уменьшение	0	1	\downarrow	Счет на уменьшение				1	1

В табл. 4.4 приняты следующие обозначения: x – безразличное состояние; \uparrow – перепад напряжения с низкого уровня на высокий.

Построение реверсивных счетчиков с двумя отдельными тактовыми входами для счета на увеличение +1 или на уменьшение -1 не всегда удобно на практике. Для построения реверсивного счетчика с одним источником сигналов для счета на увеличение или на уменьшение и одним управляющим сигналом можно предложить логическое устройство, приведенное на рис. 4.9.

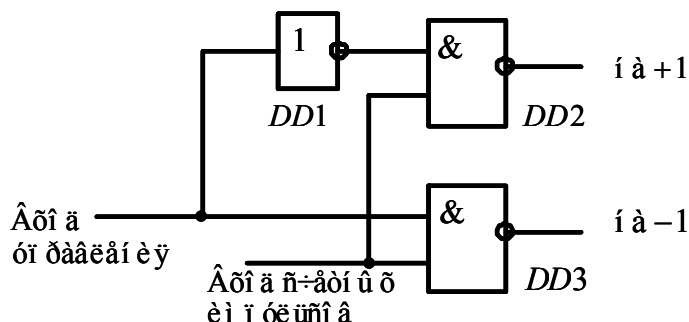


Рис. 4.9. Логическое устройство

При подаче сигнала высокого уровня на вход управления сигнал счета будет формироваться на выходе элемента *DD3* и счетчик будет работать как вычитающий. При сигнале низкого уровня на входе управления счетные сигналы будут формироваться на выходе элемента *DD2* и счетчик будет работать как суммирующий.

4.4.2. Реверсивный двоично-десятичный счетчик КР1533ИЕ6

Микросхема КР1533ИЕ6 представляет собой двоично-десятичный реверсивный счетчик. Цоколевка счетчика КР1533ИЕ6 аналогична цоколевке счетчика КР1533ИЕ7 и представлена на рис. 4.10.

Упрощенная схема реверсивного двоично-десятичного счетчика, построенная на основе счетчика КР1533ИЕ6, приведена на рис. 4.10.

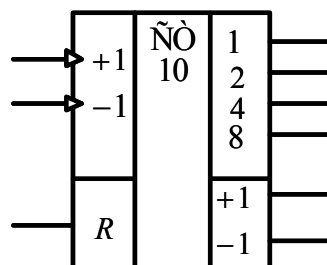


Рис. 4.10. Четырехразрядный реверсивный двоично-десятичный счетчик

Режим работы четырехразрядного реверсивного двоично-десятичного счетчика поясняет табл. 4.5.

Таблица 4.5

Режим работы	Вход			Выход					
	<i>R</i>	+1	-1	1	2	4	8	+1	-1
Сброс	1	x	0	0	0	0	0	1	0
	1	x	1	0	0	0	0	1	1
Счет на увеличение	0	\uparrow	1	Счет на увеличение				1	1
Счет на уменьшение	0	1	\downarrow	Счет на уменьшение				1	1

Отличительной особенностью работы счетчика КР1533ИЕ6 является то, что за счет внутренних обратных связей его счет возможен в пределах от 0 до 9, остальные шесть состояний триггеров запрещены. Счет на увеличение здесь заканчивается при выходном коде 1001 (9), а далее счет начинается с кода 0000 (0). Счет на уменьшение заканчивается при выходном коде 0000 (0), с приходом следующего импульса счет продолжается с кода 1001 (9). При переходе с кода 0 на 9 на выходе -1 формируется логический сигнал низкого уровня – сигнал переноса. Остальные функции у счетчика КР1533ИЕ6 такие же, как и у счетчика КР1533ИЕ7.

Работу счетчика КР1533ИЕ6 при счете на увеличение поясняют временные диаграммы рис. 4.11.

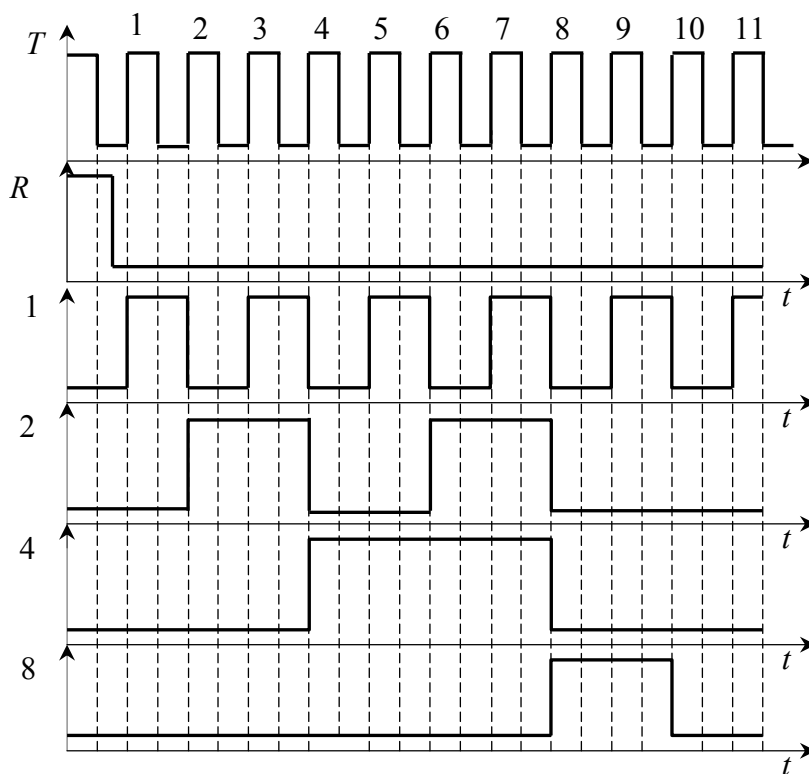


Рис. 4.11. Временные диаграммы

Обратите внимание, что на рис. 4.11 переключение счетчика происходит при положительном перепаде тактовых импульсов от низкого уровня к высокому.

4.5. Счетчик с произвольным модулем коэффициента счета

Для построения счетчиков с произвольным модулем коэффициента счета в схему последовательно соединенных двоично-десятичных счетчиков для исключения лишних состояний вводятся дополнительные логические элементы.

На рис. 4.12 приведена принципиальная схема счетчика с модулем коэффициента счета равного 35. Начиная с исходного нулевого состояния, двоично-десятичные счетчики $DD1$ и $DD2$ принимают последовательность сигналов счета и как только они досчитают 35, на всех входах логического элемента И-НЕ $DD3$ установятся высокие логические уровни. На выходе элемента $DD3$ сформируется низкий, а элемента $DD4$ – высокий логический уровень. Высоким логическим уровнем напряжения по входу R счетчики $DD1$ и $DD2$ возвращаются в исходное нулевое состояние и далее цикл счета повторяется.

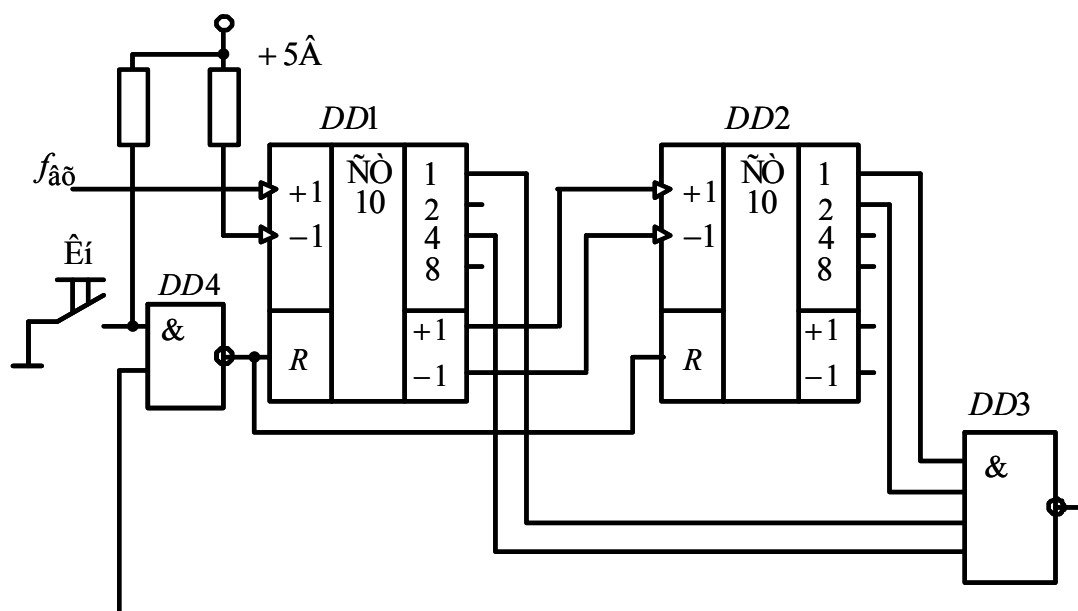


Рис. 4.12. Счетчик с модулем коэффициента счета 35

Счетчик может быть также сброшен в исходное нулевое состояние принудительно нажатием кнопки Кн.

5. РЕГИСТРЫ

5.1. Общие положения

При выполнении различных арифметических и логических операций, а также в схемах управления возникает необходимость хранения кода числа в течение некоторого времени. Такую операцию выполняют специальные устройства ЭВМ – регистры.

Регистрами называются цифровые устройства, предназначенные для записи, хранения и (или) сдвига информации, представленной в виде многоразрядного кода. Регистр состоит из нескольких триггеров, соединенных последовательно. В отличие от счетчиков-делителей в регистре нет внутренних обратных связей.

Важнейшими характеристиками регистров являются разрядность и быстродействие. Разрядность регистра соответствует количеству используемых в нем триггеров. Быстродействие характеризуется максимальной тактовой частотой, с которой может производиться запись, чтение и сдвиг информации.

По количеству тактов управления, необходимых для записи кода, различают одно-, двух- и многотактные (n -тактные) регистры.

По количеству каналов, по которым поступает информация на входы разрядов, регистры бывают одно- и парафазными. В однофазных регистрах информация поступает на каждый разряд только по одному каналу (прямому или инверсному), а в парафазных – по обоим каналам. Парафазные регистры реализуются на *RS*-триггерах, а однофазные – на *D*-триггерах.

По способу приема, приема и передачи информации различают последовательные, параллельные и параллельно-последовательные регистры.

По виду выполняемых операций, различают регистры для приема, хранения, передачи и сдвига информации. По направлению сдвига информации различают регистры прямого сдвига, т.е. вправо, в сторону младшего разряда, обратного сдвига, т.е. влево, в сторону старшего разряда, и реверсивные, в которых возможен сдвиг в обоих направлениях.

По принципу хранения информации регистры делятся на статические и динамические. Статические регистры построены на триггерах и могут хранить записанную информацию сколь угодно долго при наличии напряжения питания. В динамических регистрах функции элемен-

тов памяти выполняют конденсаторы с ключами на полевых транзисторах. Подобный элемент памяти может хранить информацию лишь в течение некоторого интервала времени. Поэтому в динамических регистрах записанная информация находится в постоянном движении.

5.2. Регистры хранения

Регистр с параллельным приемом и выдачей информации называется *регистром хранения или памяти*.

Регистры хранения строят на основе одноступенчатых асинхронных *RS*- или *D*-триггеров. Для этого могут применяться и *JK*-триггеры, но их возможности больше, чем требуется для регистра хранения.

Условное графическое обозначение регистра хранения приведено на рис. 5.1.

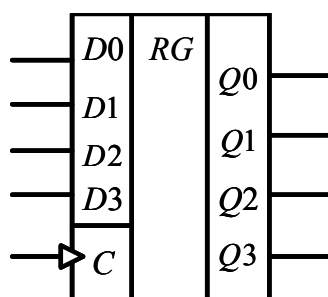


Рис. 5.1. Условное графическое обозначение параллельного регистра

Принципиальная схема четырехразрядного параллельного регистра, выполненного на *D*-триггерах, представлена на рис. 5.2.

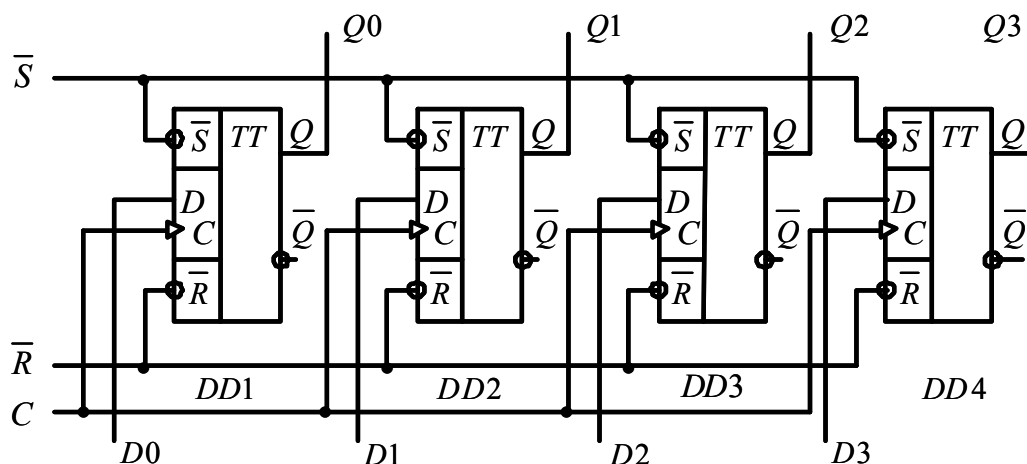


Рис. 5.2. Принципиальная схема четырехразрядного регистра хранения

Двоичный код, установленный на входах $D_0 - D_3$, записывается в триггеры регистра при положительном перепаде на входе C и сохраняется в регистре до следующей операции записи. Записанный в регистр код может быть считан с прямых выходов триггеров $Q_0 - Q_3$.

После смены сигнала на входе C на ноль (0) триггеры переходят в режим хранения. В это время ко входам $D_0 - D_3$, можно подвести следующее число, которое при появлении единичного сигнала на входе C запишется в регистр, заменив в его триггерах предыдущую информацию. Для нормальной работы триггеров регистра необходимо, чтобы на входах \bar{R} и \bar{S} были высокие логические уровни сигналов. Диаграммы напряжений для двух разрядов параллельного регистра хранения приведены на рис.5.3.

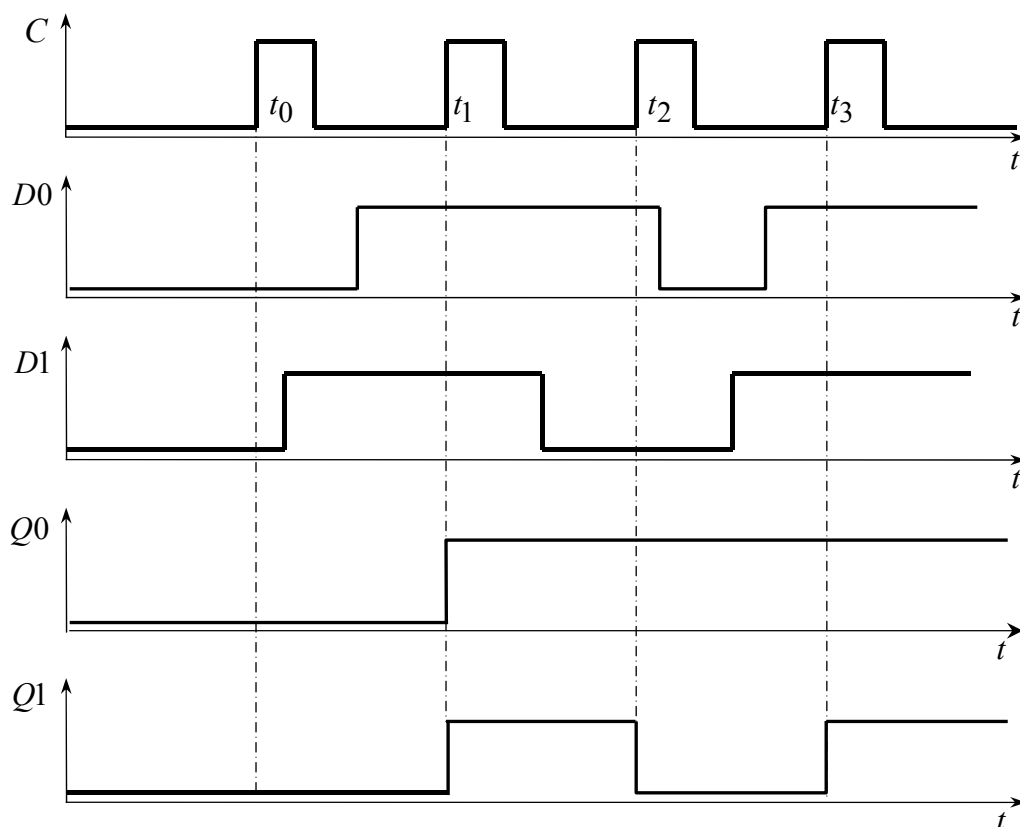


Рис. 5.3. Диаграммы напряжений для двух разрядов параллельного регистра хранения

Как следует из анализа рис. 5.3 в моменты времени $t_0 - t_3$ положительным фронтом импульса по входу C информация со входов D_0 и D_1 записывается на выходы Q_0 и Q_1 параллельного регистра.

Для обнуления регистра, т.е. сброса предыдущей информации, на вход \bar{R} подают импульс низкого уровня на время, достаточное для перевода всех триггеров в нулевое состояние. Пока регистр выполняет свои функции на установочных входах \bar{R} и \bar{S} поддерживается высокий логический потенциал.

5.3. Регистры сдвига

Регистры сдвига предназначены для преобразования информации путем ее сдвига под воздействием импульсов синхронизации по входу C . Регистры сдвига обычно состоят из последовательно соединенных триггеров.

В регистре сдвига вправо первый разряд x_1 вводимого числа X подается на вход одного, крайнего слева, разряда регистра Q_n и вводится в него при поступлении первого сигнала синхронизации C (рис. 5.4). С приходом следующего сигнала синхронизации значение x_1 с выхода разряда Q_n вводится в разряд Q_{n-1} , а в разряд Q_n поступает второй разряд x_2 числа X . В каждом такте синхронизации производится сдвиг поступающей информации на один разряд вправо. После n сигналов синхронизации весь регистр оказывается заполненным разрядами числа X , и первый разряд x_1 числа X появится на выходе Q_0 . Если далее на вход регистра подать последовательность из n сигналов синхронизации, а на вход разряда Q_n подать $x = 0$, то из регистра будет выводиться число X через выход Q_0 и в конце вывода регистр будет освобожден от хранения числа X .

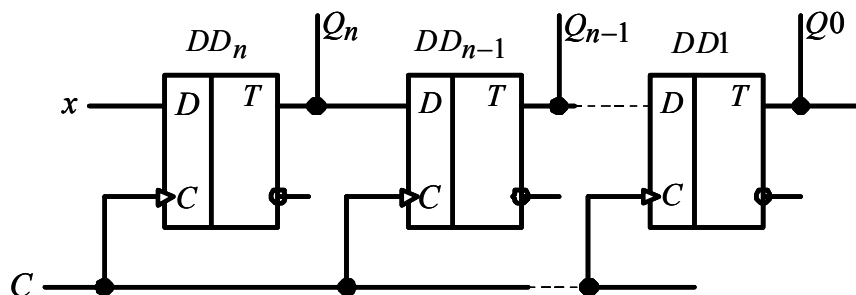


Рис. 5.4. Реализация регистра сдвига на D-триггерах

Условное графическое обозначение регистра сдвига приведено на рис. 5.5.

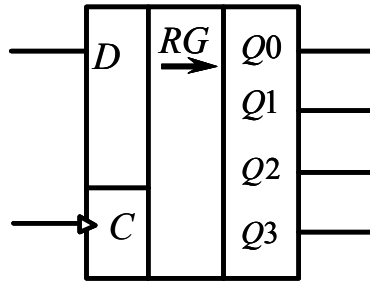


Рис.5.5. Условное графическое обозначение регистра сдвига

Принципиальная схема четырех разрядного регистра сдвига, выполненного на D триггерах, показана на рис. 5.6.

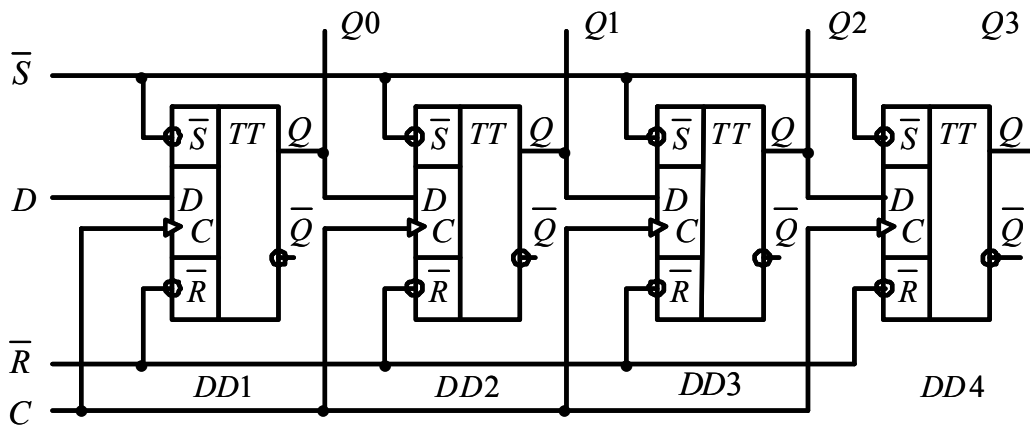


Рис. 5.6. Принципиальная схема четырехразрядного регистра сдвига

При отсутствии импульсов на входе C триггеры регистра сохраняют свое состояние, которое может быть считано с выходов регистра $Q_0 - Q_3$. Данные с прямого выхода каждого триггера поступают на вход D следующего триггера регистра.

Для нормальной работы триггеров регистра необходимо, чтобы на входах \bar{R} и \bar{S} были высокие уровни сигналов. Диаграммы напряжений для трех разрядов регистра сдвига приведены на рис. 5.7.

Как следует из анализа рис. 5.7 импульсы синхронизации, приходящие на тактовый вход C , своим передним фронтом каждый раз устанавливают последующий триггер в состояние, в котором до этого находился предыдущий. При этом D вход первого триггера служит для приема информации в виде последовательного кода. После приема четырех разрядов последовательного кода соответствующий параллельный код может быть получен с выходов $Q_0 - Q_2$ триггеров $DD1 - DD3$.

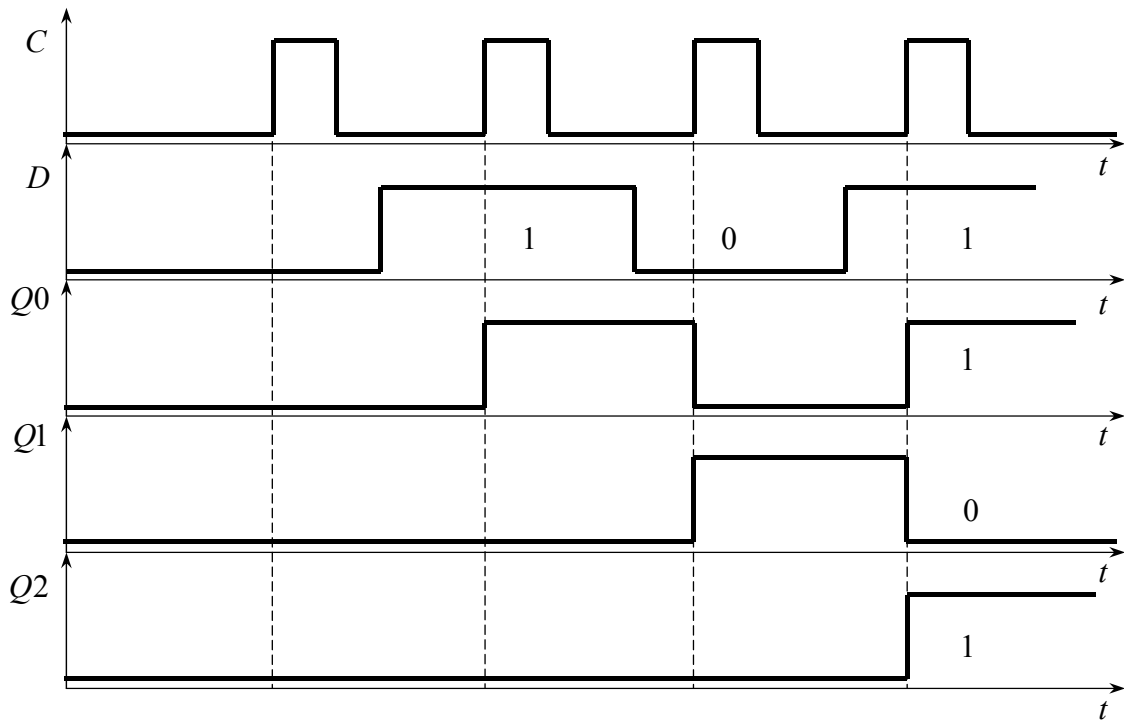


Рис. 5.7. Диаграммы напряжений, поясняющие работу регистра сдвига

5.4. Универсальные регистры

Часто требуются более сложные регистры: с параллельной синхронной записью информации, реверсивные, реверсивные с параллельной записью информации. Такие регистры называют *универсальными*. Рассмотрим одну из таких микросхем 74194 (аналог К155ИР11) – 4-разрядный двунаправленный универсальный регистр сдвига (рис.5.8).

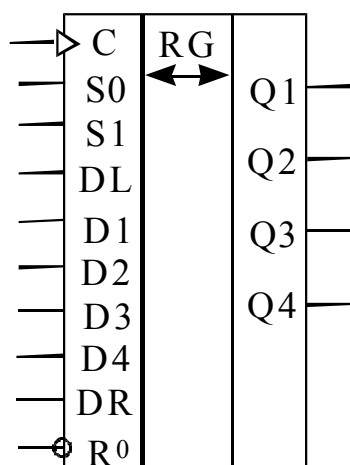


Рис. 5.8

Возможны 4 режима работы данного регистра:

- ◆ параллельная загрузка;
- ◆ сдвиг вправо (в направлении от $Q1$ к $Q4$);
- ◆ сдвиг влево (в направлении от $Q4$ к $Q1$);
- ◆ блокировка.

Синхронная параллельная загрузка осуществляется путем подачи 4 разрядов данных на параллельные входы ($D1-D4$) и установки сигнала высокого уровня на обоих управляющих входах $S0$ и $S1$. Данные загружаются в соответствующие триггеры и появляются на выходах после прохождения фронта тактового импульса. Во время загрузки последовательное перемещение данных запрещено.

Сдвиг вправо осуществляется синхронно с прохождением фронта тактового импульса при установке на входе $S0$ сигнала высокого, а на входе $S1$ сигнала низкого уровней. В этом режиме данные в последовательной форме поступают на вход сдвига вправо (DR). При установке на управляющем входе $S0$ сигнала низкого, а на входе $S1$ сигнала высокого уровней данные синхронно сдвигаются влево, а новые данные поступают на последовательный вход сдвига влево (DL).

Режим блокировки реализуется при подаче на оба управляющих входа сигнала низкого уровня. Режим работы ИС следует изменять только при высоком уровне тактового импульса.

6. ЗАПОМИНАЮЩИЕ УСТРОЙСТВА

Базовым элементом многих полупроводниковых запоминающих устройств (ЗУ) является триггер. В предыдущей главе уже рассмотрели использование регистров сдвига и параллельных регистров в качестве запоминающего устройства для временного хранения данных. Однако эти устройства не являются единственными элементами памяти. Система памяти микропроцессорного устройства предполагает использование всего спектра элементов памяти. Рассмотрим три типа полупроводниковых запоминающих устройств: оперативные запоминающие устройства (ОЗУ), постоянные запоминающие устройства (ПЗУ), перепрограммируемые запоминающие устройства.

6.1. Интегральные ОЗУ

На рис. 6.1 показано условное графическое обозначение микросхемы 7489 (аналог К155РУ2), представляющей собой ОЗУ емкостью 64 бита. В данном ОЗУ можно хранить 16 слов длиной 4 разряда каждое.

Таким образом, микросхема 7489 – это ОЗУ 16×4 . Для записи данных в это ОЗУ необходимо:

- ♦ установить код двоичного слова на информационных входах ($DI1 \div DI4$);

- ♦ на адресные входа ($ADA \div ADD$) подать двоичную комбинацию, соответствующую номеру строки матрицы памяти;

- ♦ устанавливаем логический 0 на входе разрешения записи \overline{WE} ;

- ♦ при подаче логического 0 на отпирающий вход выбора микросхемы \overline{ME} данные заносятся в память по установленному адресу слова.

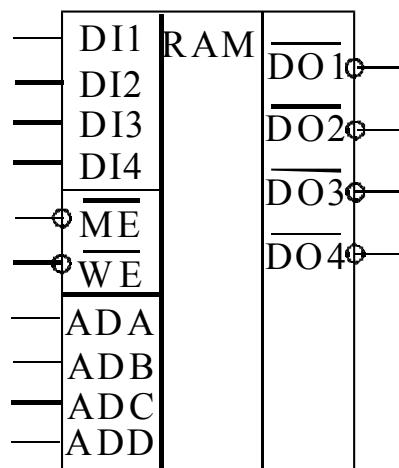


Рис. 6.1

Считывание информации определяет следующая последовательность действий:

- ♦ на адресные входа ($ADA \div ADD$) подать двоичную комбинацию, соответствующую номеру строки матрицы памяти;

- ♦ на входе выборки микросхемы должен при этом действовать уровень логического 0;

- ♦ вход разрешения записи устанавливаем в состояние считывание (логическая 1).

Полупроводниковые интегральные ОЗУ подразделяются на статические и динамические. В *статических* ОЗУ информация хранится в элементах, подобных триггеру. ОЗУ этого типа называются статическими, поскольку они удерживают записанные в них «нули» и «единицы» до тех пор, пока от микросхемы не отключено питание. В динамических интегральных ОЗУ логические состояния хранятся в виде электрического заряда в МОП-ячейках. Очень быстрая утечка запасенного заряда приводит к необходимости его многократного восстановления. Для восстановления логических состояний ячеек памяти динамических ОЗУ приходится использовать довольно сложные схемы регенерации заряда. Однако ячейки памяти динамических ОЗУ проще и занимают меньшую площадь на кремниевом кристалле. Поэтому динамические ОЗУ обычно имеют большую информационную емкость по сравнению со статическими. В новейших ОЗУ схемы регенерации заряда находятся непосредственно на кристалле. В дальнейшем будем рассматривать только статические ОЗУ, поскольку они проще в использовании.

6.2. Постоянные запоминающие устройства

Недостаток ОЗУ заключается в том, что это энергозависимые запоминающие устройства (ЗУ): при отключении питания вся записанная в них информация теряется. Существуют, однако, полупроводниковые энергонезависимые ЗУ. Это ЗУ постоянного типа, которые никогда не «забывают» содержимого собственных ячеек памяти. Примером подобных ЗУ являются так называемые *постоянные запоминающие устройства* (ПЗУ). Конфигурация «нулей» и «единиц» программируется в ПЗУ при изготовлении микросхем и постоянно находится в ЗУ. В запрограммированное ПЗУ нельзя занести новую информацию, а можно только многократно считывать уже записанную.

Ячейки памяти в ПЗУ, как правило, не триггерного типа: это специальные элементы, которые при изготовлении ПЗУ в соответствии с «маской» устанавливаются в состояние логического 0 или логической 1. На рис. 6.2 представлена схема, иллюстрирующая работу такого ПЗУ. Дешифратор выполняет функцию выбора строки матрицы памяти в соответствии с кодом адресных входов A_0 , A_1 . Затворы некоторых МОП транзисторов подключены к горизонтальным линиям. Когда строка выбрана, на нее поступает сигнал высокого уровня. Если затвор МОП транзистора подсоединен к выбранной строке, то транзистор открывается и формирует сигнал низкого уровня на соответствующей вертикальной линии (линии выходных данных). Так, например, при $A_1A_0=00$ считывается двоичное слово $D_3D_2D_1D_0=0010$.

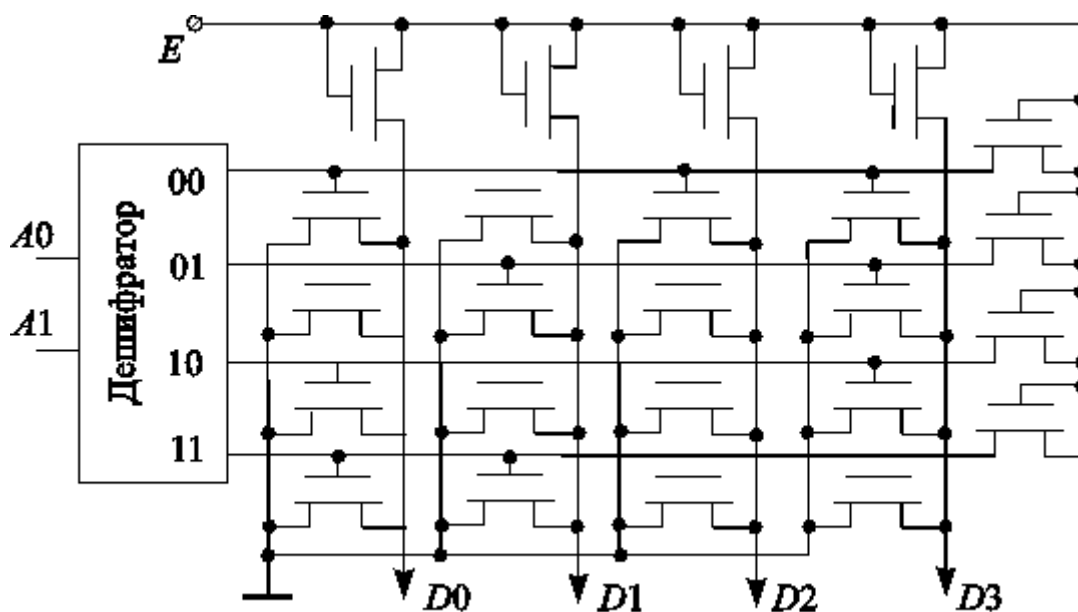


Рис. 6.2

ПЗУ могут быть организованы аналогично ОЗУ в виде ИС, например, микросхема K568PE2 емкостью 64Кб, с организацией 8096 строк длиной 8 разрядов каждая.

В микроЭВМ ПЗУ обычно применяется для хранения часто используемых программ, программ начального запуска и других общих обслуживающих системных программ.

6.3. Программируемые постоянные запоминающие устройства (ППЗУ)

ПЗУ программируются при его изготовлении. Однако ПЗУ, изготовленные по заказу, слишком дороги, поэтому применяют *программируемые постоянные запоминающие устройства (ППЗУ)*. Пользователь может сам запрограммировать ППЗУ постоянной информацией, следуя процедуре записи этой информации, рекомендованной фирмой, которая выпускает данное ППЗУ. Однократный процесс записи информации в ППЗУ осуществляется путем выборочного «пережигания» перемычек внутри микросхемы. Пережигаются перемычки, закорачивающие МОП-транзисторные ячейки памяти, так же, как показано на рис. 6.2. Однажды запрограммированное таким образом ППЗУ превращается в обычное ПЗУ, в котором занесенная конфигурация «нулей» и «единиц» с момента ее записи постоянно находится в памяти.

Организация ППЗУ аналогична организации ОЗУ и ПЗУ. Так, например, ППЗУ K556PE4 организовано как ЗУ на 1024 бит (256 слов по 4 разряда каждое).

Существует много модификаций ПЗУ с эксплуатационным программированием. В некоторых ПЗУ информацию можно стирать. Это так называемые *стираемые ППЗУ (СППЗУ)*. Стирание информации осуществляется или электрическим способом, или с помощью засветки ячеек памяти ультрафиолетовым излучением через специальные прозрачные «окна» на поверхности микросхемы. ППЗУ второго типа называют ППЗУ с *ультрафиолетовым стиранием* или просто СППЗУ (K573РФ1 - $1024 \div 8$). *Электрически программируемые ПЗУ (ЭППЗУ)* аналогичны СППЗУ, но в них для стирания информации используется не ультрафиолетовое излучение, а специальное стирающее напряжение. ЭППЗУ более «надежны» в том смысле, что солнечный свет и случайное рентгеновское излучение не приводят к разрушению записанной в них информации.

СППЗУ и ПЗУ выпускаются обязательно в совместимых по типу выводов корпусах. Это очень важно, поскольку на этапе разработки конкретного устройства можно использовать СППЗУ и затем перейти к

ПЗУ в окончательном варианте устройства, когда оно уже запущено в производство.

Разрабатываются запоминающие устройства типа ОЗУ/ПЗУ. После того как на микросхему подано питание, ОЗУ/ПЗУ действует как обычное ОЗУ. Однако в отличие от ОЗУ при включении питания в ОЗУ/ПЗУ каждый раз «возникает» одна и та же конфигурация «нулей» и «единиц». Эта исходная конфигурация (программа) может обеспечить реализацию некоторых начальных стандартных процедур, после которых ОЗУ/ПЗУ уже используется как любое ОЗУ. Такое устройство называется также *теневым* ОЗУ.

7. ЭЛЕМЕНТЫ И УЗЛЫ АНАЛОГОВЫХ ПРЕОБРАЗОВАТЕЛЕЙ

В канале связи объекта управления и микропроцессора обязаны присутствовать некоторые устройства аналогового преобразования, такие как преобразователь ток-напряжение, компаратор, активный фильтр, устройство выборки-хранения, основным элементом которых служит операционный усилитель.

7.1. Операционный усилитель

Операционный усилитель (ОУ) – это аналоговая ИС, на выходе которой формируется напряжение U_O , равное по величине усиленной разности между двумя входными напряжениями U_1 и U_2 . Идеальная передаточная характеристика ОУ (зависимость выходного напряжения от состояния входов) может быть представлена выражением

$$U_O = K_{OL}(U_1 - U_2),$$

где K_{OL} - коэффициент усиления ОУ без обратной связи.

В первой половине 1960-х годов широко применялись аналоговые вычислительные машины, в которых впервые использовались ОУ для выполнения различных математических операций. Именно этим объясняется традиционное название этих приборов – «операционные усилители». Однако с тех пор область применения ОУ значительно расширилась, и в настоящее время, как будет видно из дальнейшего изложения, они используются для решения множества задач. Схемное решение ОУ показано на рис. 7.1. В идеале ОУ чувствителен только к разности двух входных напряжений:

$$U_i = U_1 - U_2,$$

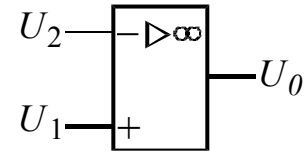


Рис. 7.1

которая называется дифференциальным входным сигналом, и абсолютно не чувствителен к любой составляющей входных сигналов, общей для обоих входов ОУ. Она называется синфазным сигналом и определяется формулой

$$U_{i(\text{СИНФ})} = \frac{U_1 + U_2}{2}.$$

Коэффициент усиления ОУ без обратной связи – постоянная, положительная безразмерная величина, которая на низких частотах ($0 \div 30$ Гц) обычно очень велика и лежит в диапазоне от 10^5 до 10^6 . Если на вход ОУ подать только напряжение U_1 ($U_2 = 0$), то $U_O = K_{OL}U_1$ будет равно усиленному неинвертированному входному сигналу U_1 . Если же подать на вход ОУ только U_2 (при $U_1 = 0$), то $U_O = -K_{OL}U_2$ и выходное напряжение равно усиленному инвертированному входному напряжению U_2 . В связи с этим «нижний» вход (U_1) называют неинвертирующим, а «верхний» (U_2) – инвертирующим.

Большинство ОУ питаются от разделенного источника питания с отрицательным и положительным полюсами, подключенными к специальным выводам ОУ. Оба напряжения U^+ и U^- одинаковы по величине и противоположны по знаку. Диапазон питающих напряжений обычно лежит в пределах от ± 5 до ± 18 В. Применение сдвоенного источника питания дает возможность изменять напряжение на входах ОУ так, что оно может принимать значения как выше, так и ниже нулевого потенциала. Для простоты электрические связи подключения источника питания обычно на схеме не рисуются.

Идеальная передаточная характеристика ОУ показана на рис. 7.2. Выделим линейную часть (область усиления), где $U_O = K_{OL}U_i$, ограниченную с обеих сторон областями насыщения, где выходное напряжение ограничено напряжением питания и больше не реагирует на изменения входного напряжения. Поскольку усиление K_{OL} очень велико, то ширина линейной зоны весьма незначительна и может быть определена из выражения

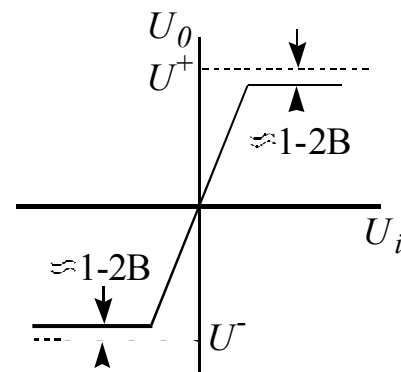


Рис.7.2

$$\Delta U_i \approx (U^+ - U^- - 2V) / K_{OL}.$$

Следовательно, чтобы сигнал на выходе ОУ был равен усиленному значению напряжения на входе, амплитуда входного напряжения должна быть достаточно малой, как правило, менее 1мВ. В противном случае ОУ попадает в зону насыщения и выходное напряжение не повторяет входное. Вследствие этого ограничения ОУ обычно охватывают петлей *обратной связи*, так что часть выходного напряжения возвращается на инвертирующий вход (рис.7.3). При этом выполняются условия реализации *отрицательной обратной связи*, что создает ряд существенных преимуществ.

При анализе неинвертирующих схем ($U_1 \neq 0, U_2 = 0$, рис. 7.3) надо учитывать следующие основные положения:

- ◆ разность потенциалов между входами ОУ, работающего в линейном режиме, равна 0;
- ◆ токи через входные зажимы ОУ отсутствуют.

При анализе инвертирующих схем ($U_2 \neq 0, U_1 = 0$, рис. 7.3) надо учитывать следующие основные положения:

- ◆ потенциал суммирующей точки равен нулю (точка x на рис.7.3);
- ◆ ток, попадающий в суммирующую точку из цепей входа, равен току, протекающему в цепи обратной связи;
- ◆ токи через входные зажимы усилителя отсутствуют.

Коэффициент, показывающий, какая часть напряжения возвращается на инвертирующий вход, называют *коэффициентом обратной связи* F . Для схемы на рис.7.3 он определяется из соотношения

$$F = \frac{U_{fb}}{U_O} = \frac{R_1}{R_2 + R_1}.$$

Это выражение следует из уравнения простого делителя напряжения. Заметим, что, хотя основное уравнение функционирования ОУ ($U_O = K_{OL}U_i$) все еще выполняется, дифференциальная составляющая входного напряжения больше не равна $U_i = U_1 - U_2$, а подчиняется равенству

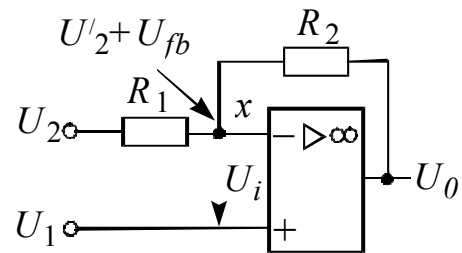


Рис. 7.3

$$U_i = U_1 - U_2' - U_{fb} = U_1 - U_2' - FU_O,$$

откуда

$$U_O = K_{OL}U_i = K_{OL}(U_1 - U_2' - FU_O).$$

Решая относительно U_O , получаем

$$U_O = \left[\frac{K_{OL}}{1 + FK_{OL}} \right] (U_1 - U_2') = K_{FL}(U_1 - U_2'), \quad (7.1)$$

где K_{FL} – коэффициент усиления с обратной связью.

Заметим, что, поскольку сигнал теперь поступает не прямо на инвертирующий вход ОУ, а через делитель напряжения (R_2, R_1), напряжение U_2' связано с U_2 соотношением

$$U_2' = U_2 \frac{R_2}{R_1 + R_2}.$$

Из формулы (7.1) следует, что коэффициент усиления ОУ с отрицательной обратной связью равен

$$K_{FL} = \frac{K_{OL}}{1 + FK_{OL}}$$

и меньше коэффициента обратной связи ОУ без обратной связи. Величину FK_{OL} называют *петлевым усилением*. При большом петлевом усилении, когда $FK_{OL} \gg 1$, имеем $K_{FL} = K_{OL} / (FK_{OL})$, поэтому коэффициент усиления ОУ с отрицательной обратной связью (ООС) практически не зависит от K_{OL} , а определяется главным образом параметрами петли обратной связи. Для схемы (рис. 7.3) коэффициент усиления с обратной связью равен

$$K_{FL} = K_{OL} / FK_{OL} = 1/F = (R_2 + R_1)/R_1 = 1 + R_2/R_1.$$

Входной сигнал U_1 , который поступает на не инвертирующий вход ОУ, передается на выход ОУ с коэффициентом усиления $1 + R_2/R_1$. Коэффициент другого входного сигнала U_2 , во-первых, имеет отрицательный знак, а во-вторых, учитывает преобразование делителем напряжения (R_2, R_1) и равен

$$\frac{R_2}{R_1 + R_2} * \left[- \left(1 + \frac{R_2}{R_1} \right) \right] = - \frac{R_2}{R_1},$$

окончательно имеем $U_O = U_1(1 + R_2 / R_1) - U_2(R_2 / R_1)$.

Изложенная методика рассмотрения ОУ справедлива при его идеальности. Для идеального усилителя напряжение на выходе равно нулю при $U_1 - U_2 = 0$, входное сопротивление бесконечно велико, выходное сопротивление равно нулю, коэффициент усиления не зависит от частоты входных сигналов и $K_{OL} \rightarrow \infty$.

7.2. Идеальный оу с конечным коэффициентом усиления

Последующий анализ схем включения основан на методе узловых потенциалов, опирающемся на закон Кирхгофа. Если K_{OL} имеет конечное значение, то $U_i = U_O / K_{OL}$, откуда $U_x = U_1 - U_O / K_{OL}$ (рис. 7.4). Из уравнений узловых потенциалов, записанных через проводимости Y_1, Y_2 , получим $(U_2 - U_1 + U_O / K_{OL})Y_1 = (U_1 - U_O / K_{OL} - U_O)Y_2$

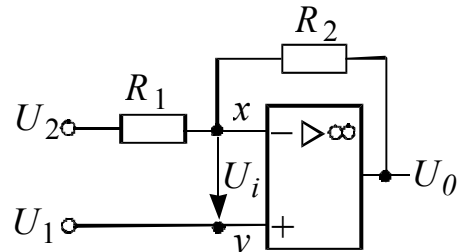


Рис. 7.4

. Решая это уравнение относительно выходного напряжения и перейдя от проводимостей к сопротивлениям, получаем

$$U_O = \frac{U_1(1 + R_2 / R_1) - U_2(R_2 / R_1)}{1 + (1 / K_{OL})(1 + R_2 / R_1)}. \quad (7.2)$$

Теперь проведем анализ схемы, приведенной на рис. 7.5. Выходное напряжение равно $U_O = K_{FL}U_1 = (1 + R_2 / R_1)U_1$. На рис. 7.6 изображены передаточные характеристики ОУ с обратной связью и без нее. Заметим, что K_{FL} может быть много меньше, чем K_{OL} , вследствие чего динамический диапазон входного напряжения для линейного режима ОУ с обратной связью можно значительно расширить по сравнению с ОУ без обратной связи. Коэффициенты усиления ОУ без обратной связи обычно сильно отличаются друг от друга даже в пределах партии однотипных ОУ. Замыкание

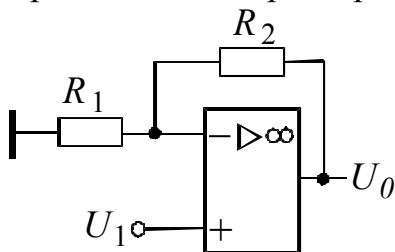


Рис. 7.5

Замыкание

петли отрицательной обратной связи приводит к относительной независимости коэффициента усиления от K_{OL} ; в этих условиях он зависит главным образом от параметров петли обратной связи. В частности, в рассматриваемом случае $K_{FL} = 1 + R_2 / R_1$. Интересна модификация этой схемы при условии $R_2 = 0, R_1 = \infty$. Коэффициент усиления в данном случае равен +1. Схема носит название «повторитель напряжения», так как выходное напряжение ОУ в точности повторяет входное. Повторитель напряжения имеет широкое практическое применение. Причина этого заключается в очень большом входном сопротивлении Z_i и весьма малом выходном Z_O . Такое свойство повторителя напряжения позволяет решить задачу согласования низкоомной нагрузки с высокоомным источником сигнала.

7.3. Теорема суперпозиции и мнимое заземление

Теорема суперпозиции и понятие мнимого заземления очень полезны при анализе схем включения ОУ. Для иллюстрации рассмотрим схему (рис. 7.7) в предположении, что ОУ идеальный, с бесконечно большим коэффициентом усиления.

На основе теоремы суперпозиции сначала найдем части выходного напряжения от воздействия каждого входного напряжения в отдельности, затем найдем результирующее выходное напряжение как алгебраическую сумму всех отдельных частей. Предполагая действующими только U_1, U_2, U_3 , получаем вариант, показанный на рис. 7.7, б. Поскольку

$K_{OL} \rightarrow \infty$, то $U_y - U_x = U_O / K_{OL}$ стремится к нулю, в то же время $U_y = U_4 = 0$, значит, $U_x = 0$ и следовательно, потенциал инвертирующего входа равен потенциалу «земли». В связи с тем, что инвертирующий вход не имеет прямой связи с шиной «земли», но имеет потенциал «земли», его называют потенциально или мнимо заземленным. Ток I равен

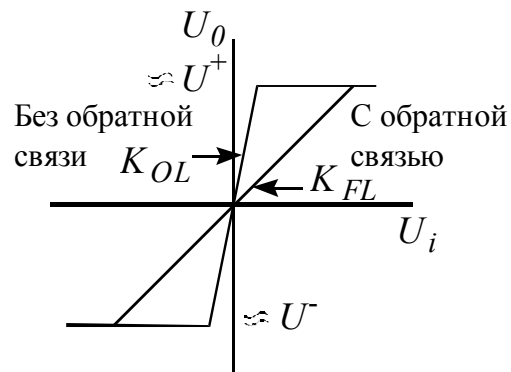
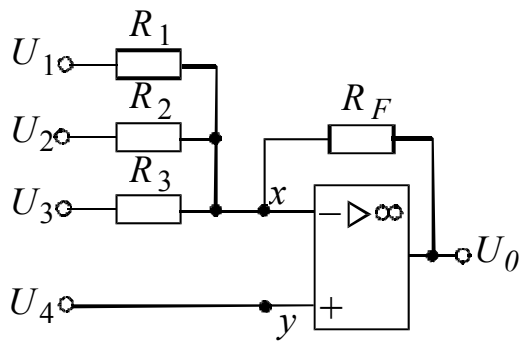


Рис. 7.6



$$I = \frac{U_1}{R_1} + \frac{U_2}{R_2} + \frac{U_3}{R_3},$$

так как $U_x = 0$. Поскольку мы рассматриваем идеальный ОУ, его входы ток не потребляют, поэтому ток через резистор R_F равен I . Следовательно, часть выходного напряжения, определяемая воздействием U_1, U_2, U_3 , равна

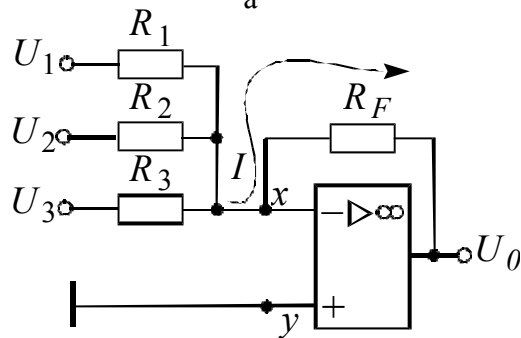


Рис. 7.7

$$U_O = U_x - IR_F = -U_1 \frac{R_F}{R_1} - U_2 \frac{R_F}{R_2} - U_3 \frac{R_F}{R_3}.$$

При воздействии на вход ОУ только U_4 ($U_1 = U_2 = U_3 = 0$) резисторы $R_1 \div R_3$ включены параллельно между инвертирующим входом ОУ и «землей». Коэффициент усиления в этом случае равен

$$U_O / U_4 = 1 + R_F / (R_1 \parallel R_2 \parallel R_3),$$

а суммарное выходное напряжение от воздействия всех четырех входных напряжений определяется из выражения

$$U_O = -U_1 \frac{R_F}{R_1} - U_2 \frac{R_F}{R_2} - U_3 \frac{R_F}{R_3} + U_4 \left(1 + \frac{R_F}{R_1 \parallel R_2 \parallel R_3} \right).$$

7.4. Погрешность и стабильность коэффициента усиления

Выражение (7.2) определяет выходное напряжение при условии конечного коэффициента усиления ОУ без обратной связи. Анализ уравнения показывает, что выходное напряжение, а следовательно, и коэффициент усиления ОУ с обратной связью, являются функцией коэффициента усиления без обратной связи. Например, если в формуле (7.2) $U_2 = 0$, то

$$U_O = U_1 \frac{1 + R_2 / R_1}{1 + (1 / K_{OL})(1 + R_2 / R_1)},$$

откуда коэффициент усиления ОУ с обратной связью равен

$$K_{FL} = U_O / U_1 = \frac{1 + R_2 / R_1}{1 + (1 / K_{OL})(1 + R_2 / R_1)}.$$

По мере приближения K_{OL} к бесконечности K_{FL} стремится к пределу, который обозначается $K_{FL(\infty)}$. В данном примере $K_{FL(\infty)} = 1 + R_2 / R_1$, и выражение для K_{FL} можно переписать в виде

$$K_{FL} = \frac{K_{FL(\infty)}}{1 + (K_{FL(\infty)} / K_{OL})}.$$

Отсюда следует, что при малых значениях K_{OL} , удовлетворяющих условию $K_{OL} \ll K_{FL(\infty)}$, $K_{FL} \approx K_{OL}$. Если $K_{OL} = K_{FL(\infty)}$, $K_{FL} = 0,5K_{FL(\infty)}$. При больших значениях K_{OL} , когда $K_{OL} \gg K_{FL(\infty)}$ (наиболее часто встречающийся на практике случай), $K_{FL} \rightarrow K_{FL(\infty)}$ и выражение для K_{FL} можно приближенно записать в виде

$$K_{FL} = \frac{K_{FL(\infty)}}{1 + (K_{FL(\infty)} / K_{OL})} \approx K_{FL(\infty)} [1 - (K_{FL(\infty)} / K_{OL})] \approx K_{FL(\infty)} (1 - \varepsilon),$$

где ε – *относительная погрешность усиления*, которая определяется как относительное изменение коэффициента усиления с обратной связью при изменении коэффициента усиления ОУ от бесконечно большого до некоторого конечного значения. Относительная погрешность усиления может быть выражена как $\varepsilon = K_{FL(\infty)} / K_{OL}$, следовательно, *чем больше K_{OL} , тем меньше погрешность усиления ОУ с обратной связью.*

7.5. Частотная характеристика

ОУ – многокаскадный электронный усилитель, коэффициент усиления которого зависит от частоты изменения входного сигнала. Эта зависимость в общем виде выражается формулой

$$K_{OL}(f) = K_{OL}(0) / [(1 + jf / f_1)(1 + jf / f_2) \cdots (1 + jf / f_n)],$$

где $K_{OL}(0)$ – коэффициент усиления без обратной связи на нулевой частоте.

Точки излома (полюсы) характеристики соответствуют частотам $f_1 < f_2 < f_3 < \cdots < f_n$. Для большинства ОУ первая точка излома частотной характеристики соответствует очень небольшой частоте $f_1 \approx 10$ Гц по сравнению с $f_2 \approx 1 \div 3$ МГц и другими значениями f_i . Наибольший интерес представляет тот диапазон, для которого выполняются условия

$$f^2 \gg f_1^2, f^2 \ll f_2^2, f^2 \ll f_3^2 \ll \cdots \ll f_n^2$$

В этом диапазоне частот приближенное выражение для K_{OL} имеет вид $K_{OL} \approx K_{OL}(0) / j(f / f_1) = K_{OL}(0)f_1 / jf$. Эта аппроксимация допустима в диапазоне частот, для которого значение f , по крайней мере на половину декады ($\sqrt{10} : 1$, или приблизительно $3 : 1$) отличается от f_1 и f_2 , так что $3f_1 \leq f \leq f_2/3$.

Частота единичного усиления f_u – это частота, при которой коэффициент усиления ОУ, заданный выше приближенным выражением, уменьшается до единицы. Следовательно, при $f = f_u$ справедливо равенство $K_{OL}(0)f_1 / f_u = 1$, откуда

$$f_u = K_{OL}(0)f_1.$$

Коэффициент усиления без обратной связи выражается через частоту единичного усиления формулой

$$K_{OL} \approx f_u / jf.$$

На рис. 7.8 показана амплитудно-частотная характеристика ОУ без обратной связи (диаграмма Бode). Коэффициент усиления в зависимости от частоты изменения входного сигнала плавно уменьшается от значения коэффициента

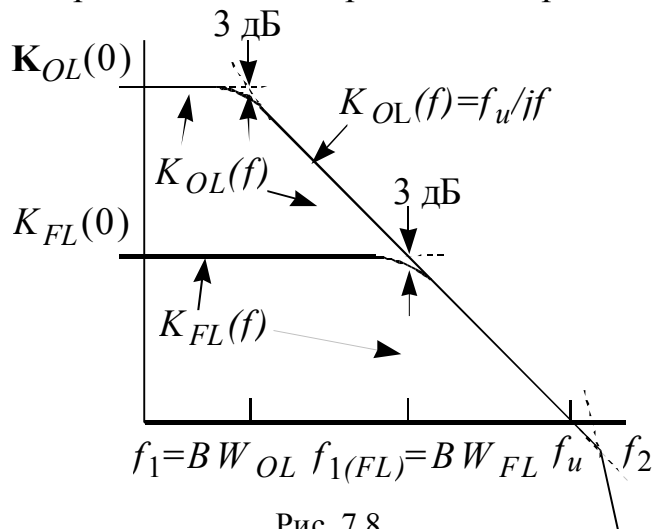


Рис. 7.8

усиления на частоте, равной нулю. При $f = f_1$ (первая точка излома) коэффициент усиления уменьшается на 3дБ от значения $K_{OL}(0)$, что определяет ширину полосы пропускания $BW_{OL} = f_1$.

Коэффициент усиления простой схемы неинвертирующего ОУ с обратной связью, как было установлено выше, имеет вид

$$K_{FL} = \frac{1 + R_2 / R_1}{1 + (1 / K_{OL})(1 + R_2 / R_1)}.$$

Если $K_{OL}(0)$ достаточно велик, что практически всегда выполнимо, коэффициент усиления с обратной связью на нулевой частоте можно выразить в виде $K_{FL}(0) = 1 + R_2 / R_1$. Отсюда можно вывести выражение, определяющее зависимость коэффициента усиления с обратной связью от частоты:

$$K_{FL}(f) = K_{FL}(0) / [1 + K_{FL}(0) / K_{OL}]. \quad (7.3)$$

Если в формуле (7.3) учесть приближенное равенство $K_{OL} \approx f_u / jf$, то получим

$$K_{FL}(f) = K_{FL}(0) / [1 + jfK_{FL}(0) / f_u].$$

Если $jfK_{FL}(0) / f_u = 1$, то выражение для $K_{FL}(f)$ принимает вид

$$K_{FL}(f) = K_{FL}(0) / (1 + j1) = K_{FL}(0) / \sqrt{2}e^{j45^\circ}.$$

Следовательно, K_{FL} уменьшается в $\sqrt{2}$ раз или на 3дБ, от значения на постоянной токе при частоте

$$f = f_u / K_{FL}(0),$$

которая соответствует частоте среза по уровню 3дБ или просто частоте среза ОУ, охваченного обратной связью, и обозначается $f_{1(FL)}$.

Выражение, определяющее зависимость коэффициента усиления с обратной связью от частоты, преобразуем к виду

$$K_{FL}(f) = K_{FL}(0) / [1 + jK_{FL}(0) / |K_{OL}|]. \quad (7.4)$$

Модуль комплексного выражения (7.4) – амплитудно-частотная характеристика ОУ с обратной связью - определяется формулой

$$K_{FL}(f) = K_{FL}(0) / \sqrt{1 + [K_{FL}(0) / K_{OL}]^2}.$$

Из последнего выражения следует, что при частоте, соответствующей уменьшению коэффициента усиления ОУ без обратной связи до $K_{FL}(0)$, коэффициент усиления с обратной связью уменьшается в $\sqrt{2}$ раз, или на 3 дБ, от значения коэффициента усиления на нулевой частоте $K_{FL}(0)$. Эту частоту принято называть частотой среза цепи обратной связи.

Полосой пропускания по уровню 3дБ или просто полосой пропускания системы называют диапазон частот, где коэффициент усиления остается на уровне 3дБ от максимального значения. В связи с тем, что ОУ не имеет емкостных связей между каскадами и проходных емкостей, ОУ относят к классу усилителей постоянного тока, поэтому ширина полосы пропускания ОУ равна частоте среза f_1 , т.е. $BW_{OL} = f_1$, где BW_{OL} - ширина полосы пропускания ОУ без обратной связи. Следовательно, ширина полосы пропускания ОУ с обратной связью равна частоте среза цепи обратной связи, т.е. $BW_{FL} = f_{1(FL)}$. В силу равенства $BW_{FL} = f_{1(FL)} = f_u / K_{FL}(0)$ имеем

$$K_{FL}(0)BW_{FL} = f_u$$

или, что тоже справедливо

$$f_u = K_{OL}(0)f_1 = K_{OL}(0)BW_{OL}.$$

Приравнивая последние два выражения, получаем

$$BW_{FL} / BW_{OL} = K_{OL}(0) / K_{FL}(0)$$

и делаем вывод, что при переходе от случая ОУ без обратной связи к случаю ОУ с обратной связью во сколько раз уменьшается коэффициент усиления, во столько же раз расширяется полоса пропускания.

7.6. Напряжение смещения

Для идеального ОУ справедливо соотношение $U_O = K_{OL}U_i$, т.е. $U_O = 0$ при $U_i = 0$. Однако в любом реальном ОУ существуют различные несогласованные компоненты и несбалансированные цепи, которые

приводят к тому, что при нулевом входном напряжении ($U_i = 0$) выходное напряжение не будет равно 0. Для получения на выходе нулевого напряжения необходимо подать на вход небольшое напряжение, равное входному напряжению смещения $U_{СМ}$. В этом случае передаточная функция будет иметь вид $U_O = K_{OL}(U_i - U_{СМ})$.

Напряжение смещения – это небольшое постоянное напряжение, обычно порядка 1 мВ. В прецизионных ОУ напряжение смещения может изменяться в пределах от 10 до 100 мкВ.

На рис. 7.9 показана передаточная функция ОУ без обратной связи при трех различных значениях $U_{СМ}$. При разомкнутой петле обратной связи $U_{СМ}$ таково, что выходное напряжение будет достигать насыщения либо в положительную ($U_{нас}^+$), либо в отрицательную ($U_{нас}^-$), даже если не подано входное напряжение. В результате дей-

ствия обратной связи (рис. 7.6) диапазон входного напряжения существенно расширился и выходное напряжение может поддерживаться вне области насыщения. Это еще раз демонстрирует преимущества работы ОУ в режиме с обратной связью.

Во многих случаях, особенно когда уровень входного сигнала велик по сравнению с напряжением смещения, влияние $U_{СМ}$ будет несущественным.

Тем не менее в ряде случаев необходимо компенсировать или вообще исключить влияние напряжения смещения. На рис. 7.10 показаны простейшие способы компенсации $U_{СМ}$. На неинвертирующий вход ОУ подается регулируемое, необходимое по величине напряжение при помощи потенциометра R_3 и резистивного делителя напряжения на R_4 и R_5 (рис. 7.10, а). Диапазон изменения компенсирующего напряжения будет лежать в пределах от -15 до $+15$ мВ. Этого вполне достаточно для перекрытия всех возможных значений $U_{СМ}$. Некоторые ОУ имеют специальные входы для компенсации напряжения смещения – входы установки нуля (рис. 7.10, б). Между входами установки нуля включается потенциометр с сопротивлением от 20 до 100 кОм. Скользящий контакт потенциометра подключается к источнику отрицательного напряжения U^- .

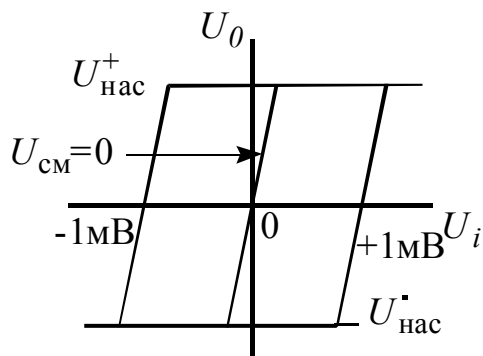


Рис. 7.9

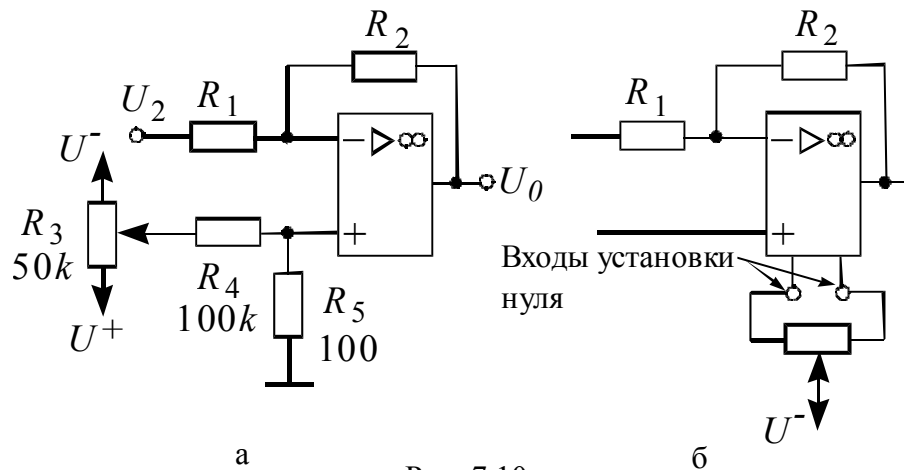


Рис. 7.10

В любом из приведенных выше способов компенсации должна проводиться при отсутствии напряжения на входе. При этом на выход подключают чувствительный вольтметр постоянного тока и, вращая потенциометр, находят точку, в которой выходное напряжение становится равным нулю.

Входное напряжение смещения зависит от температуры. Температурный дрейф напряжения смещения определяется формулой

$$TKN_{U_{см}} = \frac{dU_{см}}{dT}.$$

Величина $TKN_{U_{см}}$ для ОУ с входным каскадом на биполярных транзисторах связана с напряжением смещения приближенной формулой

$$TKN_{U_{см}} \approx \frac{U_{см}}{T},$$

где T – абсолютная температура (в большинстве случаев ≈ 300 К). При $U_{см} = 1$ мВ температурный дрейф примерно равен $TKN_{U_{см}} = 3$ мкВ/ $^{\circ}$ С.

Описанные способы компенсации напряжения смещения достаточно эффективны лишь при какой-то одной температуре, тем не менее влияние напряжения смещения в зависимости от температуры будет значительно ослаблено. Например, если температура изменяется в пределах 10 $^{\circ}$ С, то «нескомпенсированная часть» напряжения смещения составит около 30 мкВ при напряжении смещения 1 мВ. Это в 30 раз меньше, чем начальное $U_{см}$, т.е. компенсация значительна.

7.7. Входной ток смещения

Для нормальной работы любого ОУ через его входы должен течь ток. Этот ток называется *входным током смещения* или просто током смещения (рис. 7.11). Два тока I_{B1} и I_{B2} не будут абсолютно одинаковы и, как правило, отличаются примерно на 10%. Поэтому точным значением *тока смещения* I_B принято считать среднеарифметическое двух входных токов:

$$I_B = (I_{B1} + I_{B2}) / 2.$$

Разность двух входных токов называется *входным током сдвига* и задается формулой

$$I_{\text{сд}} = I_{B1} - I_{B2}.$$

Алгебраический знак тока сдвига обычно не важен, он с равной вероятностью может быть любым. В ОУ с входным каскадом на биполярных транзисторах величина тока смещения лежит в диапазоне от 10 мкА до нескольких наноампер. В ОУ с входным каскадом на полевых транзисторах ток смещения очень мал, порядка нескольких пикоампер.

Оценим влияние тока смещения и тока сдвига на выходное напряжение ОУ, используя теорему суперпозиции (рис. 7.11). Ток I_{B1} ($I_{B2} = 0$), протекая через R_3 , будет создавать на нем падение напряжения $-I_{B1}R_3$, которое будет воздействовать на неинвертирующий вход ОУ. Это напряжение, умноженное на коэффициент усиления ОУ с обратной связью, появится на выходе

$$U'_O = (-I_{B1}R_3)(1 + R_2/R_1).$$

Часть выходного напряжения результата воздействия только тока I_{B2} можно определить, предположив, что напряжение на неинвертирующем входе равно нулю и, следовательно, на инвертирующем входе также будет потенциал «земли». Отсюда падение напряжения на R_1 равно нулю и ток через R_1 не течет. Значит, весь ток будет течь через

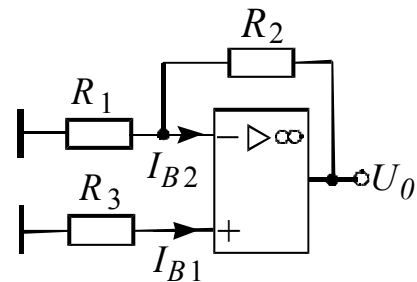


Рис. 7.11

сопротивление R_2 , создавая на нем разность потенциалов $I_{B2}R_2$. Таким образом, полное выходное напряжение от воздействия обоих токов I_{B1} и I_{B2} будет определяться формулой

$$U_O = I_{B2}R_2 + (-I_{B1}R_3)(1 + R_2/R_1).$$

Поскольку I_{B1} и I_{B2} обычно близки по величине, можно предположить, что если бы коэффициенты при I_{B1} и I_{B2} были равны, то влияние тока смещения почти бы не ощущалось. Исходя из этого, требуем, чтобы

$$R_2 = R_3(1 + R_2/R_1) \text{ т.е. } R_3 = R_2 // R_1.$$

В этих условиях выходное напряжение от воздействия токов смещения будет

$$U_O = R_2(I_{B2} - I_{B1}) = -R_2 I_{CD}.$$

Поскольку ток сдвига – обычно лишь небольшая часть тока смещения, можно добиться хорошей компенсации при выполнении указанного требования.

Проблемы, связанные с влиянием тока смещения, будут возникать лишь в случае очень больших R_1 , R_2 , R_3 . В этой ситуации самым простым является использование ОУ с маленьким током смещения, например ОУ с входным каскадом на МОП-транзисторах. Такие ОУ обеспечивают I_B менее 10 пА.

7.8. Коэффициент усиления синфазного сигнала

Идеальный ОУ чувствителен только к дифференциальному сигналу U_i , поданному на его входы, и абсолютно не реагирует на синфазное входное напряжение. Для идеального ОУ можно записать $U_O = K_{OL}U_i$,

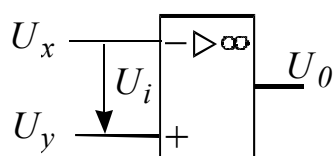


Рис. 7.12

где $U_i = U_y - U_x$ (рис. 7.12). Однако в реальном ОУ на выход также будет проходить небольшая часть синфазного входного напряжения, определяемого формулой

$$U_{\text{СИНФ}} = (U_x + U_y)/2.$$

Выходное напряжение, которое является результатом воздействия синфазного входного напряжения, равно $U_O = K_{\text{СИНФ}} U_{\text{СИНФ}}$, где $K_{\text{СИНФ}}$ – коэффициент усиления синфазного сигнала. Этот коэффициент будет много меньше коэффициента усиления дифференциального сигнала. Отношение коэффициента усиления дифференциального сигнала K_{OL} к коэффициенту усиления синфазного сигнала $K_{\text{СИНФ}}$ называется *коэффициентом ослабления синфазного сигнала* (КОСС) и обычно выражается в децибелах.

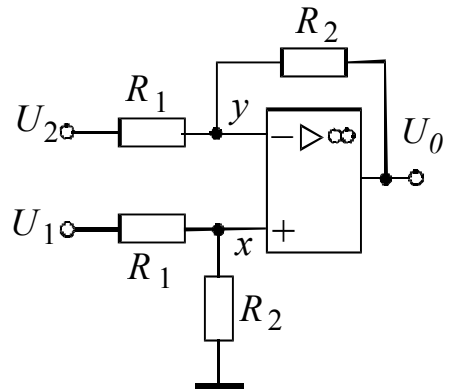


Рис. 7.13

Оценим влияние коэффициента усиления синфазного сигнала ОУ с обратной связью (рис.7. 13). Если $K_{OL} \rightarrow \infty$, то $U_O = (R_2 / R_1)(U_1 - U_2)$, т.е. это просто вычитающий усилитель. Теперь проанализируем эту схему при конечных значениях K_{OL} и $K_{\text{СИНФ}}$.

Для схемы (рис. 7.13) запишем следующие уравнения:

$$U_O = K_{OL}(U_x - U_y) + K_{\text{СИНФ}}(U_x + U_y)/2, \quad (7.5)$$

$$U_x = R_2 U_1 / (R_1 + R_2), \quad U_y = R_2 U_2 / (R_1 + R_2) + R_1 U_O / (R_1 + R_2).$$

Подставим выражения для U_x и U_y в выражение (7.5), тогда

$$U_O = K_{OL} \left[\frac{(U_1 - U_2)R_2}{R_1 + R_2} - \frac{U_O R_1}{R_1 + R_2} \right] + K_{\text{СИНФ}} \left[\frac{U_1 + U_2}{2} \frac{R_2}{R_1 + R_2} + \frac{U_O R_1}{2(R_1 + R_2)} \right].$$

Переносим члены с U_O в левую часть, при условии последующего умножения обеих частей на $(R_1 + R_2)/R_1$ и решения относительно U_O , получаем (предварительно числитель и знаменатель разделим на K_{OL}):

$$U_O = \frac{(R_2 / R_1)[(U_1 - U_2) + (K_{\text{СИНФ}} / K_{OL})(U_1 + U_2)/2]}{1 + [(R_1 + R_2)/(K_{OL} R_1)] - K_{\text{СИНФ}} / (2K_{OL})}.$$

Если K_{OL} стремится к бесконечности, то уравнение для U_O сократится до $U_O = (R_2 / R_1)(U_1 - U_2)$, как и было найдено выше. При очень большом коэффициенте без обратной связи, таком, что $K_{OL} \gg (R_1 + R_2) / R_1$ и $K_{OL} \gg K_{\text{СИНФ}}$, уравнение для U_O можно приближенно записать в виде

$$U_O = (R_2 / R_1) [(U_1 - U_2) + (K_{\text{СИНФ}} / K_{OL})(U_1 + U_2) / 2].$$

Этот результат показывает, что по сравнению с воздействием на выходной сигнал дифференциальной составляющей синфазная составляющая входного напряжения будет частично влиять на выходное напряжение и это влияние будет сильно ослаблено отношением $K_{OL} / K_{\text{СИНФ}}$ (т.е. коэффициентом ослабления синфазного сигнала). Например, для типичного значения КОСС 100 дБ коэффициент, соответствующий синфазному сигналу, будет в 100 000 раз меньше коэффициента для дифференциального сигнала.

7.9. Входное сопротивление

Идеальный ОУ имеет бесконечно большое входное сопротивление Z_i , это означает, что к входу ОУ можно подключить источник сигнала с любым внутренним сопротивлением и это не приведет к потерям сигнала. Любой реальный ОУ имеет конечное сопротивление, которое в ряде

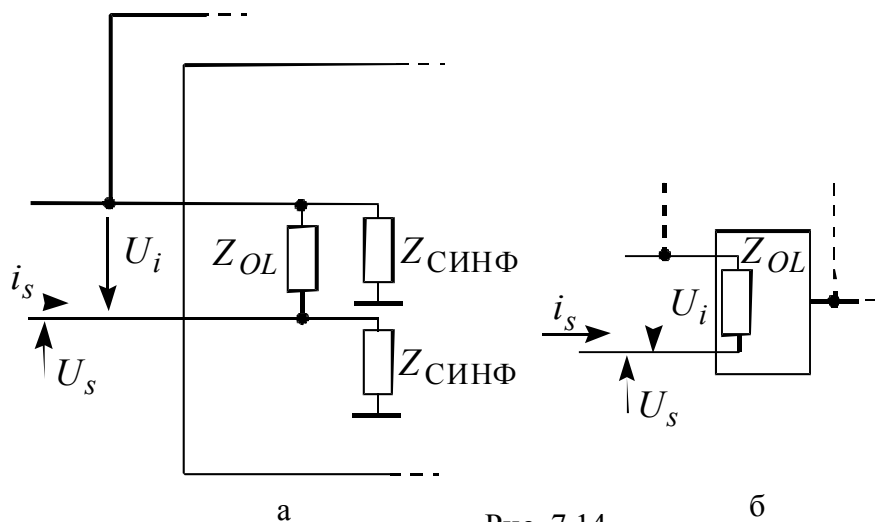


Рис. 7.14

случаев может сильно ухудшать работу схемы.

Для анализа влияния Z_i воспользуемся схемой, приведенной на рис.7.14, а. Входное сопротивление представим в виде комбинации

дифференциального входного сопротивления Z_{OL} и синфазного входного сопротивления $Z_{\text{СИНФ}}$ (оба сопротивления комплексные).

Оценим влияние дифференциального входного сопротивления Z_{OL} при замкнутой петле обратной связи (рис. 7.14, б). Переменный ток i_s , втекающий через не инвертирующий вход, можно записать в виде

$$i_s = \frac{U_i}{Z_{OL}} = \frac{U_O / K_{OL}}{Z_{OL}} = \frac{U_s K_{FL} / K_{OL}}{Z_{OL}}.$$

Решая относительно входного сопротивления петли обратной связи, получаем:

$$Z_{i(FL)} = U_s / i_s = Z_{OL} K_{OL} / K_{FL}.$$

Таким образом, входное сопротивление при замкнутой петле обратной связи увеличится относительно Z_{OL} в K_{OL} / K_{FL} раз по сравнению с входным сопротивлением при разомкнутой петле обратной связи. Это снова свидетельствует о существенном улучшении параметров схемы при использовании обратной связи. Учитывая, что Z_{OL} при разомкнутой обратной связи может принимать значения от 100 кОм до нескольких гигаом (у ОУ с МОП-транзисторами на входе), в дальнейшем им можно пренебречь.

Рассмотрим влияние синфазного входного сопротивления $Z_{\text{СИНФ}}$, используя схему (рис. 7.14, а). При больших значениях коэффициента усиления без обратной связи падение напряжения U_i на Z_{OL} будет таким незначительным, что током через Z_{OL} можно пренебречь. Следовательно, сигнальный ток i_s будет течь через $Z_{\text{СИНФ}}$ и для него можно записать $i_s = U_s / Z_{\text{СИНФ}}$. Тогда входное сопротивление при замкнутой обратной связи равно $Z_{i(FL)} = U_s / i_s = Z_{\text{СИНФ}}$. Величина $Z_{\text{СИНФ}}$ обычно лежит в диапазоне от нескольких мегаом до 100 ГОм у МОП-ОУ с параллельной входной емкостью порядка 3-10 пФ.

Полное входное сопротивление с обратной связью с учетом как Z_{OL} , так и $Z_{\text{СИНФ}}$ равно сопротивлению параллельной комбинации $Z_{\text{СИНФ}}$ и $Z_{OL}(K_{OL} / K_{FL})$. Хотя $Z_{\text{СИНФ}} \gg Z_{OL}$, множитель K_{OL} / K_{FL} увеличивает значение Z_{OL} во столько раз по сравнению с $Z_{\text{СИНФ}}$, что полное сопротивление с обратной связью будет примерно равно $Z_{\text{СИНФ}}$, т.е. $Z_{i(FL)} \approx Z_{\text{СИНФ}}$.

7.10. Выходное сопротивление

Идеальный ОУ работает как источник напряжения с нулевым выходным сопротивлением. Любой реальный ОУ имеет конечное *выходное сопротивление* (отличное от нуля), поэтому выходное напряжение и, следовательно, коэффициент усиления с обратной связью зависят от сопротивления нагрузки.

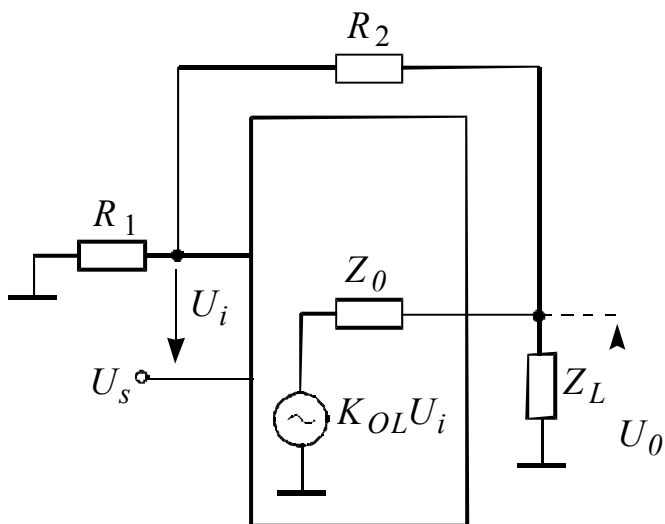


Рис. 7.15

Для анализа влияния ненулевого выходного сопротивления на работу ОУ используем эквивалентную схему, представленную на рис. 7.15. Выходное сопротивление Z_O и сопротивление нагрузки Z_L образуют делитель напряжения с коэффициентом деления $Z_L / (Z_O + Z_L)$, поэтому для выходного напряжения можно записать

$$U_O = (K_{OL} U_i Z_L) / (Z_O + Z_L) = K'_{OL} U_i,$$

где $K'_{OL} = (K_{OL} Z_L) / (Z_O + Z_L)$.

Теперь запишем выражение для выходного напряжения через напряжение сигнала U_s :

$$U_O = \frac{U_s (1 + R_2 / R_1)}{1 + (1 + R_2 / R_1) / K'_{OL}}.$$

С учетом того, что $1 + R_2 / R_1 = K_{FL}$, получим

$$\begin{aligned} U_O &= \frac{K_{FL} U_s}{1 + K_{FL} / K'_{OL}} = \frac{K_{FL} U_s}{1 + [K_{FL} (Z_L + Z_O) / (K_{OL} Z_L)]} = \\ &= \frac{K_{FL} Z_L U_s}{Z_L + [(K_{FL} / K_{OL}) (Z_L + Z_O)]}. \end{aligned}$$

С учетом того, что $K_{FL} / K_{OL} \ll 1$, можно записать приближенное равенство

$$U_O \approx K_{FL} U_s \frac{Z_L}{Z_L + (K_{FL} / K_{OL}) Z_O} = K_{FL} U_s \frac{Z_L}{Z_L + Z_{O(FL)}},$$

где $Z_{O(FL)} = (K_{FL} / K_{OL}) Z_O$ – выходное сопротивление при замкнутой обратной связи.

Последний результат показывает, что реальный коэффициент деления делителя напряжения на Z_L и Z_O при замкнутой петле обратной связи равен $Z_L / (Z_{O(FL)} + Z_L)$, а это означает, что реальным выходным сопротивлением будет $Z_{O(FL)}$.

Выходное сопротивление ОУ без обратной связи обычно порядка $10 - 10^2$ Ом, но в связи с тем, что K_{FL} , как правило, много меньше K_{OL} , выходное сопротивление может быть очень маленьким, порядка нескольких миллиом и менее.

7.11. Рассеиваемая мощность и ограничение по току

Любое электронное устройство имеет ограничение, связанное с максимальной рассеиваемой мощностью, $P_{d(max)}$. Если рассеиваемая мощность превышает $P_{d(max)}$, то дальнейшее увеличение температуры может привести к необратимым изменениям в устройстве.

Для ОУ в пластмассовом корпусе типа DIP максимальная рассеиваемая мощность $P_{d(max)}$ лежит в пределах от 500 до 750 мВт. В некоторых ИС с радиатором для более эффективного отвода тепла максимальная рассеиваемая мощность может достигать 10 Вт.

У большинства ОУ выходной ток ограничен до некоторой «безопасной» величины схемой ограничения, поэтому рассеиваемая мощность никогда не превысит максимальной величины даже при коротком замыкании. Рассмотрим схему ОУ на рис. 7.16, а. Максимальная рассеиваемая мощность имеет место при максимальном напряжении питания и сопротивлении нагрузки R_L , равном нулю. В этом случае падение напряжения на выходном каскаде ОУ равно напряжению питания U^+ (или U^-), а рассеиваемая мощность ОУ $P_d = U^+ I_L + P_{d(Q)}$, где $P_{d(Q)}$ – статическая рассеиваемая мощность (мощность при отсутствии тока в нагрузке). Статическая мощность очень мала, обычно менее 1 мВт, поэтому ее не учитывают.

Поскольку максимальное напряжение питания большинства ОУ около ± 18 В, будем использовать в расчетах именно это значение. Если принять $P_{d(\max)}=500$ мВт, то выходной ток должен быть ограничен значением

$$I_{L(\max)} = I_{FL} = P_{d(\max)}/U^+ = 500\text{мВт}/18\text{В} = 28\text{мА}.$$

Поэтому на практике диапазон тока ограничения I_{FL} выбирают в пределах от 20 до 25 мА, чтобы обезопасить ОУ от перегрузок. На рис. 7.16, б, в приведены графики напряжения и тока для ОУ с встроенной схемой ограничения по току. Ток ограничения выбран равным 20 мА, а выходное напряжение вне области работы схемы ограничения тока принято равным +10 В.

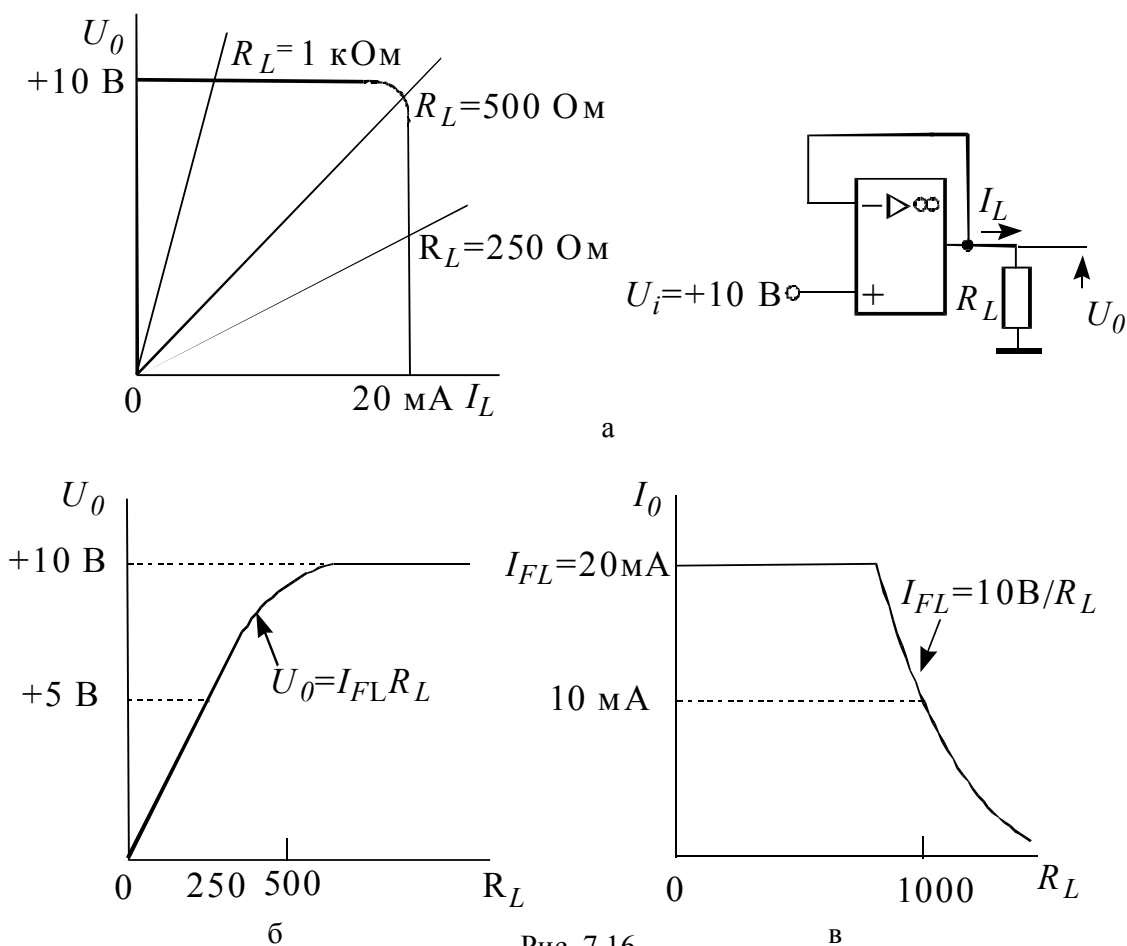
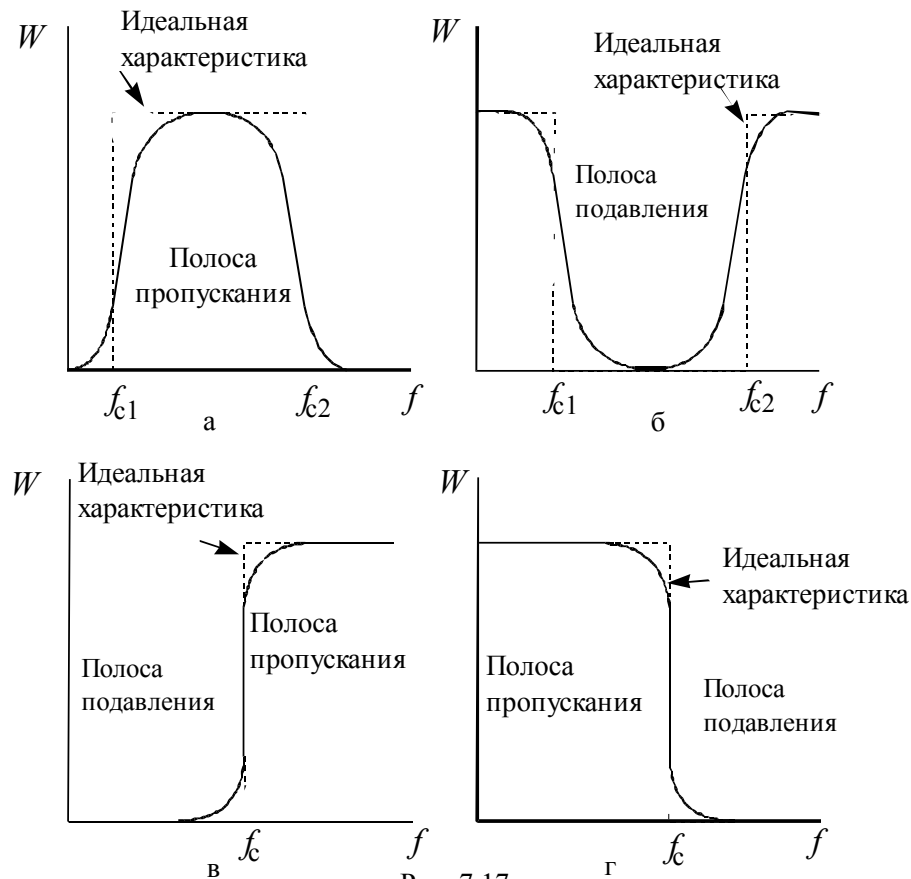


Рис. 7.16

7.12. Активные фильтры

Одним из важнейших применений ОУ являются активные фильтры. *Идеальный частотный селективный фильтр* – это устройство или система, имеющая передаточную характеристику между входом и выходом, которая постоянна в определенной частотной полосе пропускания, а в полосе подавления обеспечивается выходной нулевой сигнал. На рис. 7.17 показаны передаточные характеристики идеальных и реальных полосового (рис. 7.17, а) и режекторного (рис. 7.17, б) фильтров, фильтров верхних (рис. 7.17, в) и нижних частот (рис. 7.17, г).

В пассивных фильтрах используются только пассивные компоненты: резисторы, конденсаторы и индуктивности. Схема активного фильтра содержит одно или более активных устройств, обычно ОУ. Ниже перечислены положительные свойства активного фильтра по сравнению с пассивным фильтром.



1. *Коэффициент усиления.* В активном фильтре максимум передаточной характеристики может быть больше единицы.

2. *Минимальное влияние нагрузки.* Передаточная характеристика активного фильтра практически не зависит от нагрузки, на которую работает фильтр, и источника, управляющего фильтром.

3. *Безындуктивные фильтры.* Для построения активного фильтра необходимы только резисторы и конденсаторы и не требуются индуктивности. Это свойство наиболее важно при работе на относительно низких частотах (<10 Гц), так как в противном случае потребовались бы большие индуктивности.

Проанализируем обобщенную схему двухполусного активного фильтра (рис. 7.18). Если предположить, что ОУ – идеальный, с бесконечным коэффициентом усиления без обратной связи, то выходное напряжение будет равно напряжению в узле В, т.е. $U_O = U_B$. Уравнения узловых потенциалов для узлов А и В имеют вид

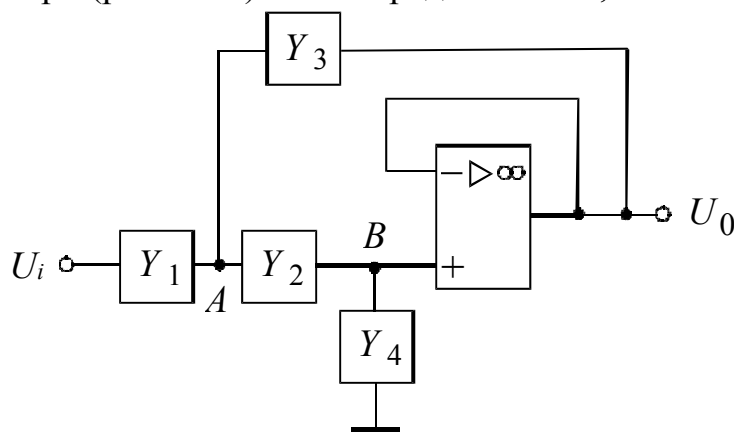


Рис. 7.18

$$U_i Y_1 + U_O Y_2 + U_O Y_3 = U_A (Y_1 + Y_2 + Y_3) \quad \text{для узла } A,$$

$$U_A Y_2 = U_O (Y_2 + Y_4) \quad \text{для узла } B.$$

Решая последнее уравнение относительно U_A и подставляя результат в уравнение узла А, имеем:

$$U_i Y_1 + U_O (Y_3 + Y_2) = U_O (Y_1 + Y_2 + Y_3) (Y_2 + Y_4) / Y_2.$$

Умножая обе части уравнения на Y_2 , получаем:

$$U_i Y_1 Y_2 + U_O (Y_3 Y_2 + Y_2^2) = U_O (Y_1 Y_2 + Y_2^2 + Y_2 Y_3 + Y_1 Y_4 + Y_2 Y_4 + Y_3 Y_4).$$

После приведения подобных в последнем уравнении и учитывая, что передаточная характеристика определяется как $W = U_O / U_i$, получаем:

$$W = \frac{Y_1 Y_2}{Y_1 Y_2 + Y_4 (Y_1 + Y_2 + Y_3)}.$$

Рассмотрим частный случай двухполюсного фильтра нижних частот, в котором $Y_1 = G_1, Y_2 = G_2, Y_3 = sC_3, Y_4 = sC_4$ (G - активная проводимость, s - оператор Лапласа). Передаточная функция в этом случае имеет вид

$$W(s) = \frac{G_1 G_2}{G_1 G_2 + sC_4 (G_1 + G_2 + sC_3)}.$$

На нулевой частоте, где $s = j\omega = 0, W(s) = 1$, а при частоте $s = j\omega \rightarrow \infty, W(s) = 0$, т.е. схема действительно работает как активный фильтр нижних частот.

Для упрощения предположим $G_1 = G_2 = G = 1/R$, так что передаточную функцию можно переписать в виде

$$W(s) = \frac{G^2}{G^2 + sC_4(2G + sC_3)} = \frac{1}{1 + sRC_4(2 + sRC_3)} = \frac{1}{1 + s\tau_4(2 + s\tau_3)},$$

где $\tau_4 = RC_4, \tau_3 = RC_3$.

Для перехода в частотную область используем равенство $s = j\omega$:

$$W(s) = \frac{1}{1 + j\omega\tau_4(2 + j\omega\tau_3)} = \frac{1}{1 - \omega^2\tau_3\tau_4 + j(2\omega\tau_4)}.$$

Квадрат амплитуды передаточной функции фильтра записывается в виде

$$|W|^2 = \frac{1}{1 - 2\omega^2\tau_3\tau_4 + \omega^4\tau_3^2\tau_4^2 + 4\omega^2\tau_4^2} = \frac{1}{1 + \omega^2(4\tau_4^2 - 2\tau_3\tau_4) + \omega^4\tau_3^2\tau_4^2}.$$

Если необходимо, чтобы частотная характеристика фильтра была «максимально плоской», монотонно убывающей с частотой, то сначала необходимо принять $d|W|^2/d\omega = 0$, а затем решить это уравнение при

условии, что наклон должен быть равен нулю только при $w = 0$. Выполняя эти операции, получаем:

$$2w(4\tau_4^2 - 2\tau_3\tau_4) + 4w^3(\tau_3^2\tau_4^2) = 0, \text{ или } 2\tau_4^2 - \tau_3\tau_4 + w^2\tau_3^2\tau_4^2 = 0.$$

Следовательно, чтобы наклон равнялся нулю только при $w = 0$, необходимо выполнить условие $2\tau_4 = \tau_3$ и таким образом

$$C_3 = 2C_4.$$

При таких условиях выражение для квадрата модуля передаточной функции принимает вид

$$|W|^2 = \frac{1}{1 + 4w^4\tau_4^4} = \frac{1}{1 + 4(w\tau_4)^4}.$$

Точка 3 дБ имеет место при $|W|^2 = 1/2$, т.е. $4(w\tau_4)^4 = 1$ или $w\tau = 1/\sqrt{2}$, а ширина полосы пропускания или частота среза равна

$$w_{3\text{дБ}} = \frac{1}{\sqrt{2}\tau_4} = \frac{0,7071}{RC_4} = 2\pi f_c.$$

Фильтр этого типа с «максимально плоской» передаточной характеристикой в пределах полосы пропускания называется фильтром Баттерворта. На практике широко применяют фильтры Баттерворта, Чебышева и Бесселя, анализ которых подробно изложен в литературе (Захаров В.К. Электронные устройства автоматики телемеханики. Л.: Энергоатомиздат, 1984. 432 с.).

7.13. Компараторы напряжения

Компаратор – это схема (рис. 7.1), предназначенная для сравнения двух входных напряжений U_1 и U_2 и выработки выходного напряжения $U_O = U_H$, если $U_1 > U_2$, и $U_O = U_L$, если $U_1 < U_2$, где U_H и U_L – два фиксированных уровня напряжения (высокий и низкий). На рис. 7.2 показана передаточная функция компаратора (зависимость U_O от $U_i = U_1 - U_2$). Компаратор можно представить как одноразрядный ана-

логово-цифровой преобразователь, вырабатывающий на выходе уровень логической «1» ($U_O = U_H$), если аналоговое входное напряжение U_1 выше уровня опорного напряжения $U_{ОП} = U_2$. Логический «0» ($U_O = U_L$) появляется на выходе тогда, когда уровень входного напряжения становится ниже опорного напряжения.

Во многих отношениях компаратор практически аналогичен ОУ, причем любой ОУ можно использовать в качестве компаратора. Однако компаратор предназначен для работы без обратной связи, т.е. в ключевом режиме, в то время как ОУ почти всегда используется в режиме с обратной связью и выполняет функции линейного усилителя.

ОУ вырабатывает нулевое выходное напряжение, когда дифференциальная составляющая входного сигнала равна нулю. Компаратор работает так, что его выходное напряжение принимает всего два фиксированных значения, поэтому при нулевом напряжении на входе выходное напряжение равно либо U_L , либо U_H в зависимости от полярности напряжения смещения.

Выходное напряжение ОУ имеет уровни насыщения, примерно на 1-2 В отличающиеся от уровня напряжения питания. Компаратор часто разрабатывается так, чтобы высокий и низкий уровни выходного напряжения были совместимы с другими компонентами, например со схемами цифровой логики.

Частотная характеристика ОУ выбирается такой, чтобы обеспечить определенный запас устойчивости усилителя в режиме с обратной связью. Это неизбежно приводит к сокращению полосы пропускания и уменьшению скорости нарастания выходного напряжения. В компараторе никаких ограничений на частотную характеристику не накладывается.

Наиболее важной характеристикой компаратора является время срабатывания или время задержки распространения сигнала. Это время между моментом переключения входного напряжения и моментом, когда выходное напряжение достигнет определенного уровня. Обычно используется уровень 90 %. Времена срабатывания компараторов обычно составляют от 1 мкс до 10 нс.

Изменение входного напряжения, необходимое для переключения компаратора из одного состояния в другое (чувствительность), очень мало, как правило, от 0,1 до 3 мВ. Вследствие малого входного напряжения переключения выходное напряжение компаратора почти все время соответствует уровню насыщения – либо U_L , либо U_H .

Напряжение смещения $U_{СМ}$ является еще одной важной характеристикой компаратора, поскольку оно приводит к сдвигу точки пере-

ключения во входном напряжении. Напряжение смещения компараторов, как правило, составляет от 1 до 10 мВ.

Поскольку компараторы используются не как линейные усилители, а как ключевые устройства, в них может успешно применяться положительная обратная связь, чтобы увеличить коэффициент усиления и получить некоторый гистерезис в переходной характеристике $U_O = f(U_i)$. Увеличение коэффициента усиления приводит к тому, что амплитуда входного напряжения, необходимого для переключения компаратора, сокращается до очень малой величины.

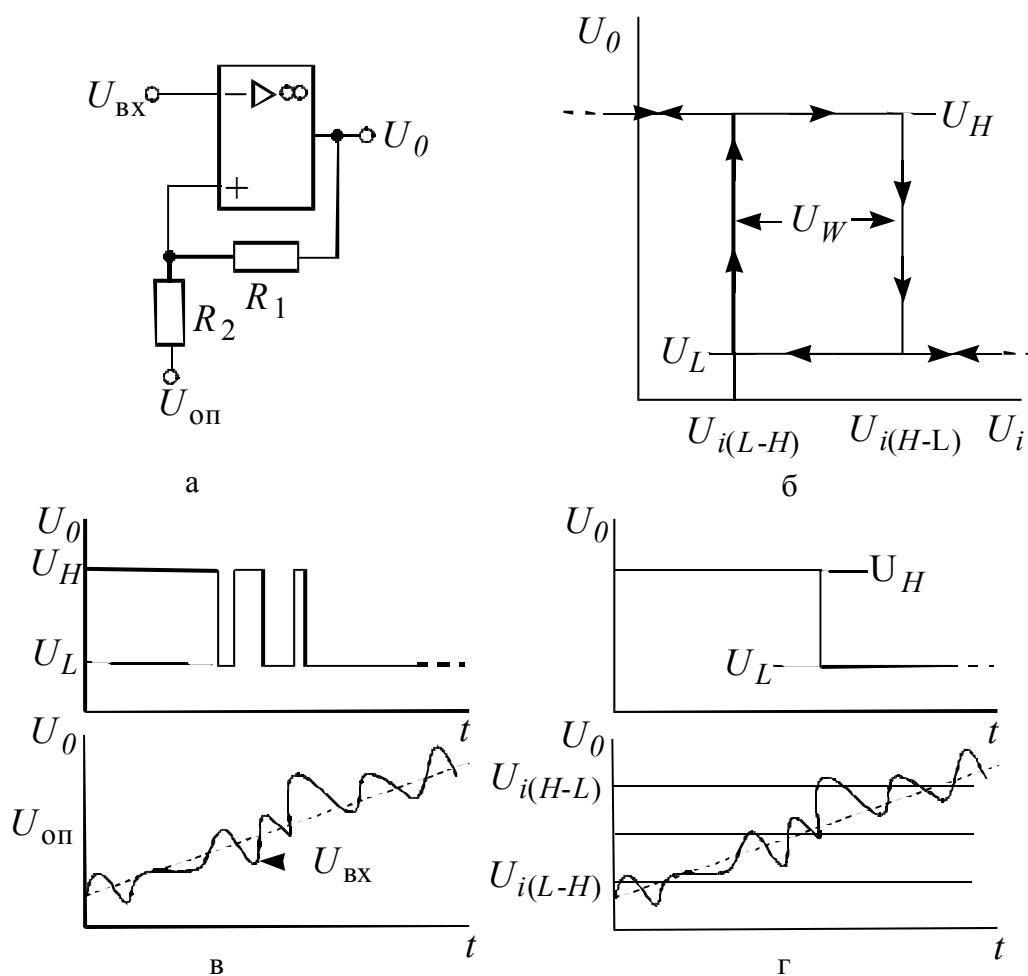


Рис. 7.19

Схема компаратора с положительной обратной связью приведена на рис.7.19, а, а на рис. 7.19, б показана его передаточная характеристика. Уровень входного напряжения, при котором происходит переключение уровня выходного напряжения из низкого в высокий, определяется выражением

$$U_{i(L-H)} = (U_{\text{оп}}R_1 + U_L R_2) / (R_1 + R_2),$$

а формула для выходного напряжения, необходимого для переключения из высокого уровня в низкий, записывается в виде

$$U_{i(H-L)} = (U_{\text{оп}}R_1 + U_H R_2) / (R_1 + R_2).$$

Ширина петли гистерезиса U_W задается выражением

$$U_W = (U_H - U_L)R_2 / (R_1 + R_2).$$

В ряде случаев наличие петли гистерезиса необходимо для исключения неопределенности момента переключения компаратора, т.е. предотвращения «дребезга» (рис. 7.19, в). На рис. 7.19, г показана характеристика переключения при наличии петли гистерезиса. Если ширина петли гистерезиса U_W превышает пиковые флуктуации входного напряжения, то момент переключения компаратора будет строго определен, без «дребезга».

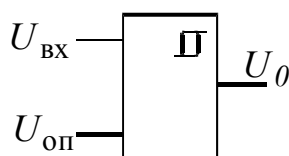


Рис. 7.20

Промышленностью изготавливаются компараторы в виде ИС (К555СА1). Условное графическое обозначение компаратора в интегральном исполнении иллюстрирует рис. 7.20.

7.14. Автоколебательный генератор

Одним из применений компаратора является автоколебательный генератор прямоугольных импульсов. Такой генератор часто называют *мультивибратором* (рис. 7.21, а). Этот термин предложил голландский физик Поль, чтобы подчеркнуть наличие множества гармоник в спектре генерируемых колебаний.

Компаратор, кроме формирования неоднозначности характеристики осуществляет сравнение напряжения $U_1 = U_C$ на инвертирующем входе с напряжением $U_2 = \gamma U_O$ на неинвертирующем входе (рис. 7.21, б, в), где $\gamma = R_1 / (R_2 + R_1)$. Напряжение на инвертирующем входе возникает в результате заряда конденсатора через резистор R_3 от источника напряжения U_O в соответствии с уравнением

$$U_C(t) = U_C(\infty) - [U_C(\infty) - U_C(0)] \cdot e^{-t/\tau}, \quad (7.6)$$

где $\tau = R_3 C$ – постоянная времени.

Рассмотрим установившийся режим работы. В момент времени t_1 на конденсаторе будет напряжение $U_C(0) = U_C(t_1) = \gamma U_0^-$, и он стремится зарядиться до напряжения $U_C(\infty)$, равного выходному напряжению ОУ U_0^+ . Однако спустя время $t_{И1}$ напряжение на конденсаторе достигнет значения $U_C(t_2) = \gamma U_0^+$, при котором в силу равенства $U_2 = U_C$ происходит скачкообразное изменение выходного напряжения до значения $U_0 = U_0^-$ и начинается перезаряд конденсатора, причем теперь начальное напряжение для промежутка времени $t_3 - t_2 = t_{И2}$ такое: $U_C(0) = U_C(t_2)$. Конденсатор начнет перезаряжаться, стремясь к напряжению U_0^+ . Однако спустя время $t_{И2}$, когда напряжение на нем станет $U_C(t_3) = \gamma U_0^-$, т.е. сравняется с напряжением U_2 , скачком произойдет очередная смена полярности выходного напряжения. Согласно выражению (7.6) и с учетом выражений $U_C(0)$ и $U_C(\infty)$ напряжение на емкости в течение времени $t_2 - t_1 = t_{И1}$ изменяется следующим образом:

$$U_C(t) = U_0^+ - (U_0^+ - \gamma U_0^-) \cdot e^{-t/\tau},$$

откуда, учтя значение $U_C(t_2)$, после несложных преобразований получим:

$$t_{И1} = R_3 C \ln \left(1 + \left(1 - U_0^- / U_0^+ \right) R_1 / R_2 \right).$$

Аналогично находим

$$t_{И2} = R_3 C \ln \left(1 + \left(1 - U_0^+ / U_0^- \right) R_1 / R_2 \right).$$

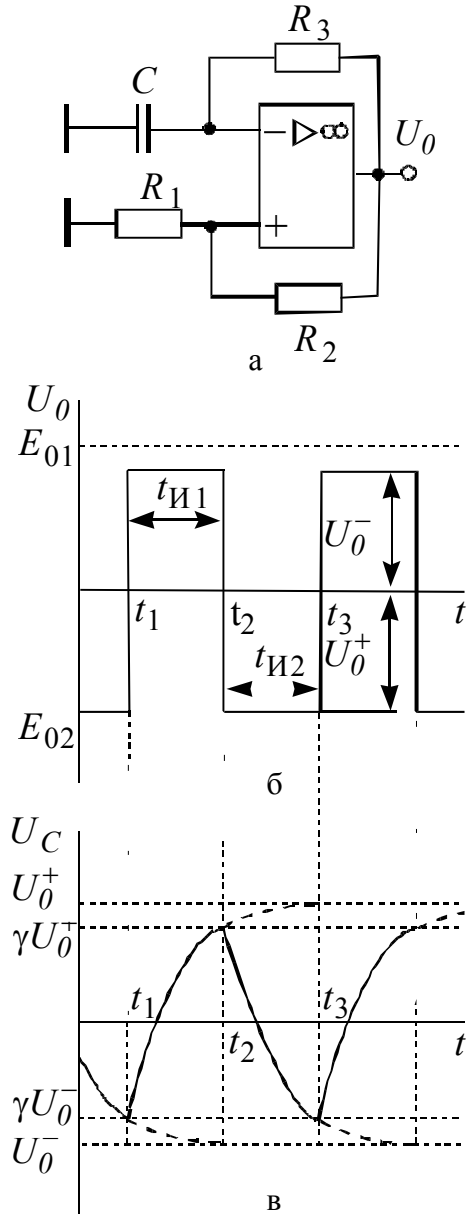


Рис. 7.21

Период колебаний $T = t_{И1} + t_{И2}$ для равных абсолютных значений выходного напряжения определяется формулой

$$T = 2R_3C \ln(1 + 2R_1/R_2),$$

при этом скважность импульсов ($T/t_{И1}$) равна двум.

7.15. Схема выборки и хранения

Для запоминания изменяющихся аналоговых сигналов на время преобразования, коммутации и других операций в системах сбора информации используют *схемы выборки и хранения* (рис. 7.22). В схеме в качестве аналогового ключа используется полевой транзистор с *pn*-переходом.

В конце короткого временного интервала выборки аналоговый ключ закрывается. Это позволяет электрически изолировать конденсатор C_H от входного сигнала и напряже-

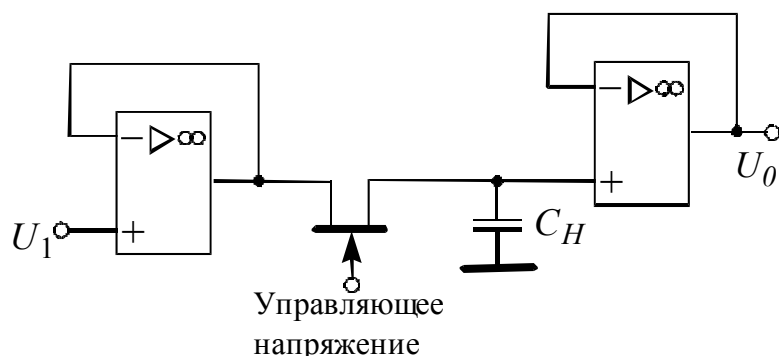


Рис. 7.22

ние на C_H , а следовательно, и выходное напряжение U_0 остаются по существу равными входному напряжению, которое было на конденсаторе в конце интервала выборки.

Тем не менее будет наблюдаться некоторый спад напряжения на конденсаторе в течение интервала хранения вследствие различных токов утечки, включая ток утечки полевого транзистора, входной ток ОУ и внутренний ток утечки самого конденсатора.

К важнейшим характеристикам устройства выборки и хранения относятся: *время выборки* – время от момента подачи сигнала на выборку до момента установления выходного сигнала; *апертурное время* – интервал времени между моментом подачи сигнала на хранение и моментом размыкания ключа; *скорость разрушения информации* – изменение выходного напряжения вследствие разряда запоминающей емкости; *сквозная передача* – часть входного сигнала, которая вследствие конечного сопротивления разомкнутого ключа передается на вход.

В интегральном исполнении все элементы выборки и хранения располагаются на одной подложке, за исключением конденсатора C_H , который, как правило, является внешним компонентом.

8. ЭЛЕМЕНТЫ И УЗЛЫ АНАЛОГО-ЦИФРОВЫХ ПРЕОБРАЗОВАТЕЛЕЙ

Электрические сигналы, как объект обработки, по своей физической природе являются аналоговыми, т.е. представляют собой непрерывные функции напряжения или тока от времени. Поэтому в процессе формирования и обработки таких сигналов с помощью цифровых устройств важную роль играют операции преобразования в цифровую форму и обратно.

Для выполнения этих операций служат аналого-цифровые и цифро-аналоговые преобразователи (АЦП и ЦАП). Первые обеспечивают сопряжение источников аналоговых сигналов с цифровыми устройствами обработки, а вторые предназначены главным образом для сопряжения цифровых устройств формирования и обработки сигналов с аналоговыми потребителями информации.

8.1. Цифро-аналоговый преобразователь

Цифро-аналоговый преобразователь – это ИС, которая преобразует входной цифровой код в выходное аналоговое напряжение или ток, являющиеся двоично-взвешенными эквивалентами входного цифрового кода. Простым примером N -разрядного ЦАП может служить схема на рис. 8.1. Выходное напряжение определяется выражением

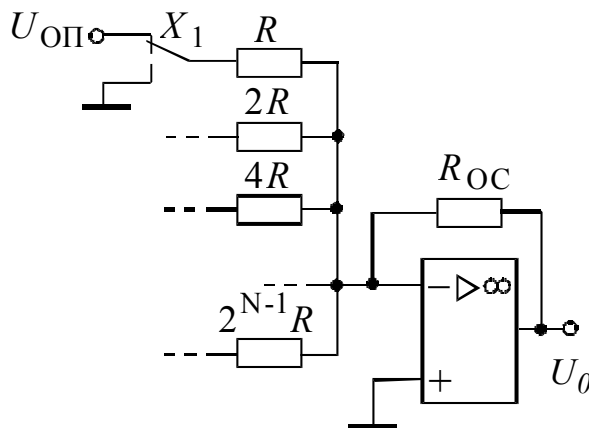


Рис. 8.1

$$\begin{aligned}
 U_0 &= R_{OC} \left(\frac{X_1 U_{OП}}{R} + \frac{X_2 U_{OП}}{2R} + \frac{X_3 U_{OП}}{4R} + \dots + \frac{X_N U_{OП}}{2^{N-1}R} \right) = \\
 &= 2(R_{OC}/R) \cdot U_{OП} \left(X_1/2 + X_2/4 + X_3/8 + \dots + X_N/2^N \right), \quad (8.1)
 \end{aligned}$$

где X_1 – старший значащий разряд (СЗР), X_N – младший значащий разряд (МЗР).

Выходное напряжение, соответствующее входному коду $\dots 0001$, равно

$$U_{0(\text{МЗР})} = 2(R_{\text{ОС}}/R) \cdot U_{\text{ОП}} \left(1/2^N\right) = (R_{\text{ОС}}/R) \cdot U_{\text{ОП}} \left(1/2^{N-1}\right).$$

Выходное напряжение, соответствующее входному коду $1000\dots$, равно $U_{0(\text{СЗР})} = U_{0(\text{МЗР})} 2^{N-1}$.

Максимальное напряжение на выходе вырабатывается, когда входной код равен $111\dots$, и равно

$$U_{0(\text{max})} = 2U_{0(\text{СЗР})} - U_{0(\text{МЗР})} = (2^N - 1) \cdot U_{0(\text{МЗР})} = 2U_{0(\text{СЗР})} \left(1 - 1/2^N\right).$$

Номинальное выходное напряжение полной разрядной сетки определяется выражением

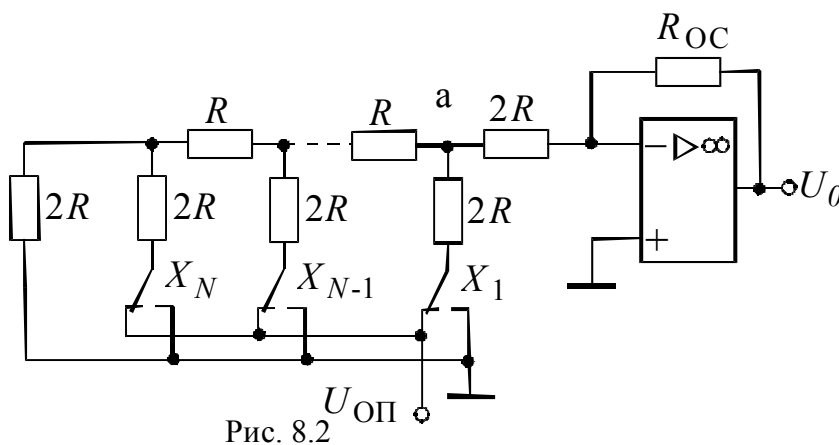
$$U_{0(\text{ПС})} = 2U_{0(\text{СЗР})} = 2^N U_{0(\text{МЗР})}$$

и, таким образом, больше максимального выходного напряжения на $U_{0(\text{МЗР})}$.

Во многих ЦАП выходное напряжение полной разрядной сетки устанавливается равным $10,000$ В. Следовательно, в 4-разрядном ($N=4$) ЦАП $U_{0(\text{МЗР})} = 10,00/2^N = 10,00/2^4 = 0,625$ В.

Выходное напряжение, соответствующее входному коду 1000 , равно $U_{0(\text{СЗР})} = U_{0(\text{ПС})}/2 = 5,00$ В, а выходное напряжение при входном коде 1111 принимает значение

$$U_{0(\text{max})} = U_{0(\text{ПС})} - U_{0(\text{МЗР})} = 10,00 - 0,625 = 9,375$$
 В.



Основные недостатки схемы (рис. 8.1) определяются необходимостью применения резисторов с большим диапазоном номиналов, например $1\text{R}-1024\text{R}$ для 10-разрядного ЦАП.

Рациональным способом уменьшения количества номиналов резисторов является использование резистивной (лестничной) матрицы $R-2R$, изображенной на рис. 8.2. Так как потенциал суммирующей точки ОУ равен нулю, то, анализируя эквивалентную схему, изображенную на рис. 8.3, можно записать для точки а .

$$U_a = U_{\text{ОП}} X_1 K_1 + U_{\text{ОП}} X_2 K_2 + \dots + U_{\text{ОП}} X_N K_N,$$

где K_i – коэффициент передачи $U_{\text{ОП}}$ в точку а от разряда цифрового кода с соответствующим индексом. Значения коэффициентов можно определить, изменяя конфигурацию эквивалентной схемы, при условии равенства единице только одного разряда цифрового кода. Из схемы видно, что коэффициент передачи

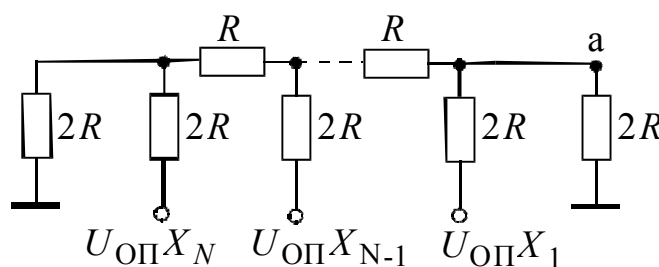


Рис. 8.3

напряжения от любого звена к последующему равен $1/2$, за исключением последнего звена, где коэффициент равен $1/3$:

$$K_1 = 1/3; K_1 = (1/3)2^{-1}; \dots; K_N = (1/3)2^{-(N-1)},$$

тогда получим

$$U_a = (2/3)U_{\text{ОП}} \left(X_1/2 + X_2/4 + X_3/8 + \dots + X_N/2^N \right).$$

При $R_{\text{ОС}} = 3R$ схема ЦАП (рис. 8.2) реализует выражение (8.1).

В рассмотренных схемах с целью повышения быстродействия в качестве ключей используются транзисторные сборки, работающие в импульсном режиме. Существует большое количество ЦАП различного типа в интегральном исполнении с разрядностью входного кода от 8 до 16 и с временем преобразования от 5 мкс до 35 нс (например, ИС К572ПА1, исследуемая на лабораторной работе).

8.2. Аналого-цифровые преобразователи

Аналого-цифровой преобразователь (АЦП) преобразует аналоговое входное напряжение U_a в выходной двоичный цифровой код, соответствующий квантованному входному сигналу. На рис. 8.4, а показана передаточная характеристика АЦП.

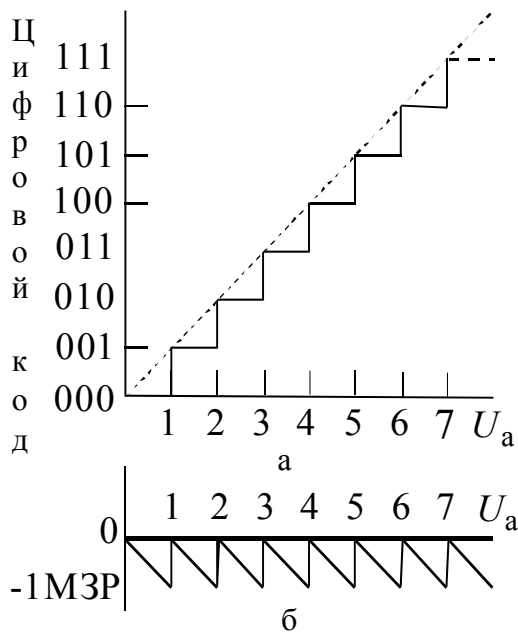


Рис. 8.4

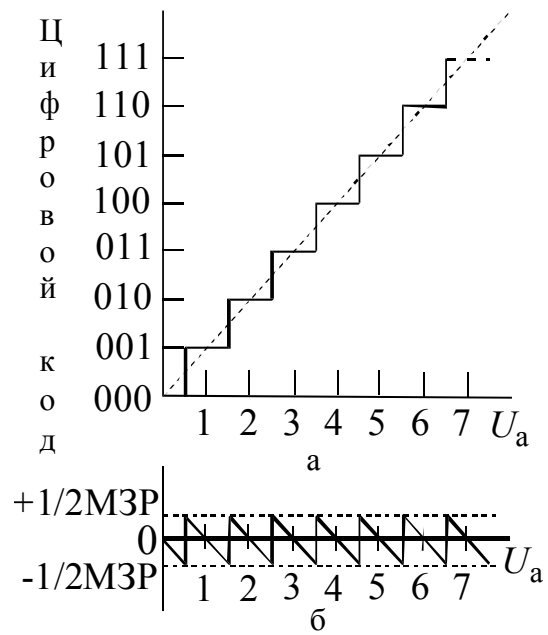


Рис. 8.5

Отметим, что выходной цифровой код может принимать только определенные дискретные значения, поэтому в процессе преобразования неизбежны систематические ошибки, которые называют *ошибками квантования*. Ошибка квантования определяется как разность между аналоговым напряжением U_a , которое соответствует выходному коду, и реальным входным аналоговым напряжением. На рис. 8.4, б представлен график ошибки квантования, соответствующий передаточной характеристике (рис. 8.4, а). Отметим, что максимальная ошибка квантования равна цене младшего разряда входного кода (1 МЗР).

Максимальная ошибка квантования может быть уменьшена до $\mp 0,5$ МЗР при дополнительном смещении входного аналогового сигнала на $-0,5$ МЗР или $+0,5$ МЗР опорного напряжения, с которым сравнивается аналоговый сигнал. Передаточная характеристика, полученная при смещении на $0,5$ МЗР, показана на рис. 8.5, а, а соответствующее распределение ошибки квантования – на рис. 8.5, б. Максимальная ошибка квантования, равная $\mp 0,5$ МЗР, присутствует в каждом поддиапазоне входного напряжения.

8.2.1. Параллельный преобразователь

Самым быстродействующим типом АЦП является параллельный АЦП. Примером 2-разрядного параллельного АЦП ($N=2$) может служить схема представленная на рис. 8.6.

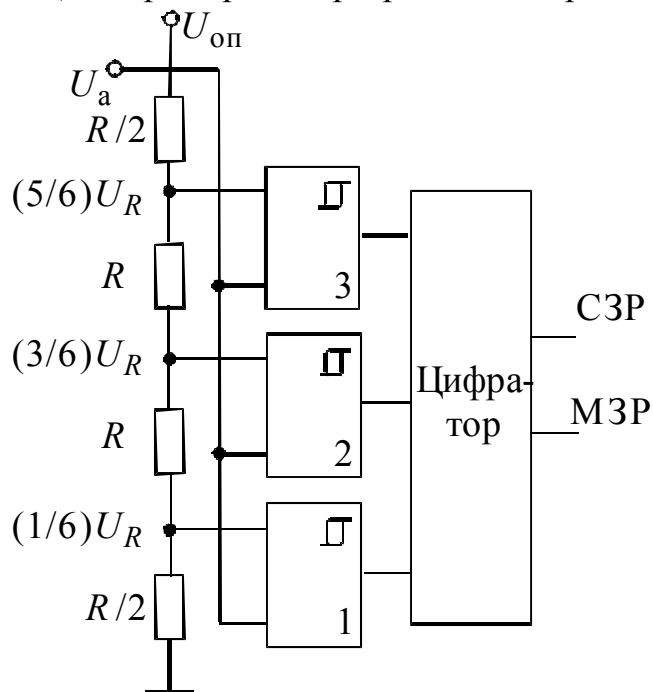


Рис. 8.6

Для реализации такого АЦП необходимо $2^N - 1 = 2^2 - 1 = 3$ компараторов. Хотя параллельные АЦП имеют очень высокое быстродействие, число компараторов, необходимых для его реализации, очень быстро растет с увеличением N , поэтому создание таких АЦП с разрядностью больше 3 или 4 становится нерациональным.

С помощью делителя напряжения опорное напряжение распределяется между компараторами следующим образом:

$$U_{R1} = U_{\text{ОП}}(R/2)/3R = U_{\text{ОП}}/6, \quad U_{R2} = 3U_{\text{ОП}}/6, \quad U_{R3} = 5U_{\text{ОП}}/6.$$

Ошибка квантования АЦП – это диапазон изменения входного аналогового напряжения, при котором цифровой код остается постоянным, причем измерение этого напряжения производится по отношению к среднему значению аналогового входного напряжения. Для АЦП (рис. 8.6) уровни опорных напряжений на компараторах выбраны так, что распределение ошибки квантования равномерно, поэтому для всех выходных логических уровней она одинакова и равна $U_{\text{ОП}}/6$. Поскольку диапазон изменения входного аналогового напряжения, соответствующий изменению выходного кода на 1 МЗР, равен $2U_{\text{ОП}}/6$, ошибку квантования $U_{\text{ОП}}/6$ можно представить как $\mp 0,5\text{МЗР}$.

Существуют параллельные АЦП с временем преобразования до 10 нс, что соответствует 10^8 циклам преобразований в секунду.

8.2.2. АЦП последовательного счета

Во многих АЦП в цепи обратной связи используется ЦАП. Простейшим АЦП с ЦАП в цепи обратной связи является АЦП последовательного счета счетный АЦП (рис. 8.7).

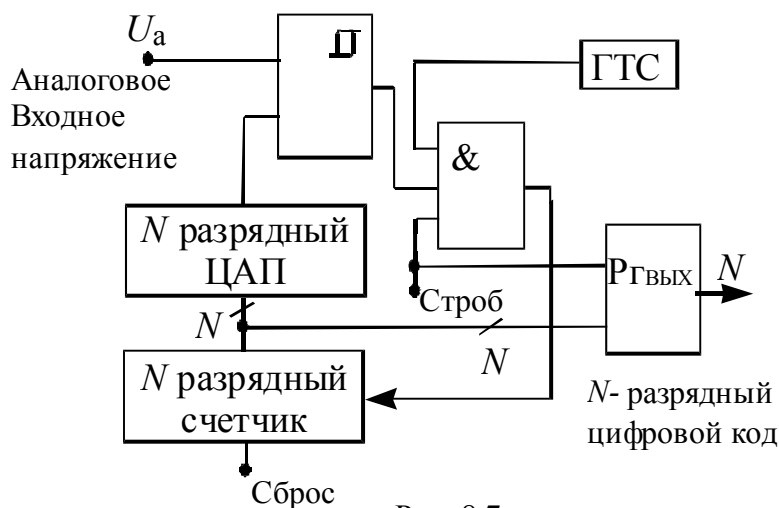


Рис. 8.7

Цифровой выход N -разрядного двоичного счетчика соединен с N -разрядным ЦАП, который вырабатывает выходное напряжение ступенчатой формы. Выходное напряжение ЦАП дискретно увеличивается от $1U_{0(\text{МЗР})}$ до напряжения полной разрядной сетки $2^N U_{0(\text{МЗР})}$. На компараторе это напряжение сравнивается с входным аналоговым напряжением, и до тех пор, пока напряжение ЦАП ниже аналогового входного напряжения U_a , на выходе компаратора присутствует высокий уровень. Этот уровень удерживает клапан (схема ЗИ) в открытом состоянии, и синхроимпульсы, проходя через него, попадают на счетчик, увеличение выходного кода которого вызывает дальнейшее нарастание выходного напряжения ЦАП. Как только напряжение ЦАП становится выше уровня аналогового входного напряжения, на выходе компаратора появляется низкий уровень. При этом клапан закрывается, и счетчик перестает считать. Через некоторое время уровень сигнала СТРОБ становится высоким, N -разрядный выходной регистр становится доступным для записи информации, и двоичный код со счетчика поступает на цифровой выход ЦАП. После окончания импульса СТРОБ импульс СБРОС производит обнуление счетчика, после чего он снова начинает считать, и таким образом начинается новый цикл преобразования.

Для обработки входного напряжения полной разрядной сетки в N -разрядном счетном преобразователе необходимо 2^N синхроимпульсов, поэтому такой тип АЦП относится к относительно медленным преобразователям. В 14-разрядном АЦП такого типа время преобразования равно $2^{14}T_C=16384 T_C$. Если принять $T_C=100$ нс, то результирующее время преобразования будет 1,64 мс, а соответствующая скорость – 610 циклов преобразования в секунду.

Точность счетного АЦП является функцией напряжения смещения, коэффициента усиления по напряжению компаратора и точности ЦАП. Чаще всего основным фактором, определяющим точность АЦП, является точность ЦАП.

Другим типом АЦП с обратной связью, в цепи обратной связи которого стоит ЦАП, является АЦП последовательных приближений. Точность таких АЦП в основном такая же, как и у счетных АЦП, но время преобразования у них существенно меньше, что объясняет их очень широкое распространение.

8.2.3. АЦП последовательного приближения

АЦП последовательного приближения – наиболее популярный тип АЦП, поскольку он сочетает в себе высокую точность и высокую скорость преобразования. На рис. 8.8 представлена обобщенная структурная схема АЦП последовательного приближения. В N -разрядном преобразователе регистр последовательного приближения состоит из N триггеров, которые поочередно устанавливаются в единичное состояние ($X=1$), а их выходы являются цифровыми входами ЦАП. Выходное напряжение ЦАП сравнивается с аналоговым входным напряжением.

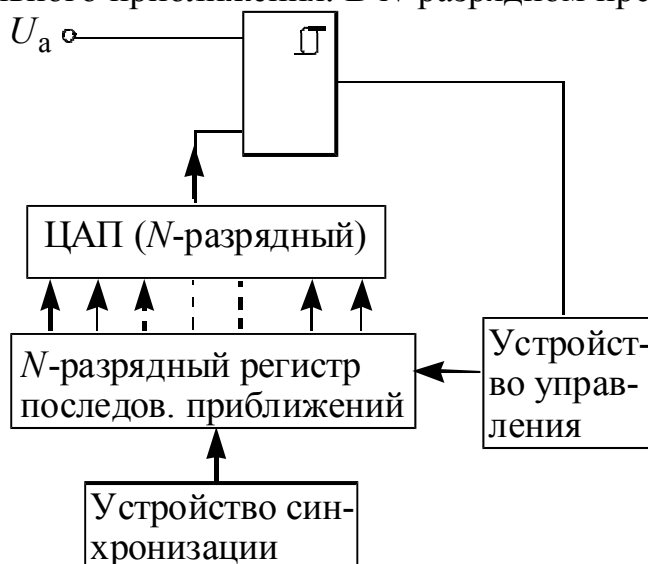


Рис. 8.8

Первым в единичное состояние устанавливается триггер старшего разряда, так что сначала аналоговое входное напряжение сравнивается с выходным напряжением ЦАП, которое соответствует напряжению СЗР $U_{СЗР} = U_{ПС}/2$. Если аналоговое

входное напряжение больше $U_{СЗР}$, то триггер старшего разряда остается в единичном состоянии ($X_1 = 1$) в течение всего последующего цикла преобразования. Если же аналоговое входное напряжение меньше $U_{СЗР}$, то триггер старшего разряда сбрасывается в нуль ($X_1 = 0$) и остается в этом состоянии до конца цикла преобразования.

Затем в единичное состояние устанавливается следующий триггер (второй разряд), при этом выходное напряжение ЦАП равно $U_{ПС}(X_1/2 + X_2/4)$, причем $X_2 = 1$. Если это напряжение меньше входного аналогового напряжения U_a , то второй разряд остается равным единице ($X_2 = 1$). Если же оно больше аналогового входного напряжения, то второй разряд сбрасывается в нуль. Этот процесс повторяется для всех оставшихся триггеров (всего N раз) до полного завершения цикла преобразования. В каждом случае, если аналоговое входное напряжение больше напряжения ЦАП, то очередной триггер сохраняет свое текущее состояние. Если аналоговое входное напряжение меньше напряжения ЦАП, то триггер, который последним был установлен в единичное состояние ($X = 1$), сбрасывается в нуль ($X = 0$).

Таким образом осуществляется последовательное приближение напряжения АЦП и, следовательно, соответствующих цифровых кодов к аналоговому входному напряжению, начиная со старшего в начале цикла преобразования и кончая младшим в конце цикла преобразования.

Рассмотрим в качестве примера 10-разрядный АЦП последовательного приближения с выходным напряжением полной разрядной сетки ЦАП $U_{ПС} = 10,24\text{В}$, при этом $U_{МЗР} = 10\text{мВ}$. Предположим также, что выходное напряжение смещено на $0,5$ МЗР для сведения к минимуму ошибки.

Для аналогового входного напряжения $U_a = 7,5\text{В}$ значения выходных кодов регистра последовательных приближений и соответствующих выходных напряжений ЦАП приведены в табл. 8.1.

Таблица 8.1

Номер синхроимпульса	Состояние триггеров $X_1(\text{СЗР}) \dots$ $X_N(\text{МЗР})$	Выходное напряжение ЦАП (смещение на $+0,5$ МЗР), В
1	1000000000	5,125
2	1100000000	7,685 (сброс X_2 , $X_2 = 0$)
3	1010000000	6,405

4	1011000000	7,045
5	1011100000	7,365
6	1011110000	7,525 (сброс X_6 , $X_6 = 0$)
7	1011101000	7,445
8	1011101100	7,485
9	1011101110	7,525 (сброс X_9 , $X_9 = 0$)
10	1011101101	7,495

Через 10 циклов преобразования завершатся, при этом окончательное состояние триггеров регистра последовательных приближений 1011101101, что соответствует выходному напряжению ЦАП 7,495 В. Результирующая ошибка квантования 5мВ, или 0,5 МЗР.

При аналоговом входном напряжении менее 5мВ выходной код равен 0000000000, а выходное напряжение ЦАП равно 5мВ. При входном аналоговом напряжении от 5 до 15 мВ значение выходного кода 0000000001. Максимальное выходное напряжение ЦАП (с учетом смещения на 0,5 МЗР), соответствующее цифровому выходному коду 1111111111, равно

$$U_{\max} = 10,24\text{В} - 10\text{мВ} + 5\text{мВ} = 10,235\text{В}.$$

Максимальное аналоговое входное напряжение, которое может быть преобразовано с ошибкой квантования, не превышающей 0,5 МЗР, равно 10,240В, что соответствует выходному напряжению полной разрядной сетки ЦАП.

Выходной код с АЦП последовательных приближений можно снимать не только в параллельной форме в конце цикла преобразования, но и последовательно снимать выходные данные в процессе преобразования.

Общее время преобразования N -разрядного АЦП последовательного приближения примерно равно $(N + 2)T_C$, где T_C – период тактовых импульсов, который обычно равен 1 мкс. Следовательно, у 12-разрядного АЦП последовательного приближения общее время преобразования будет около 14 мкс. Сравните это значение со временем преобразования $2^N T_C$ АЦП счетного типа, которое равно 4 мс.

8.2.4. АЦП двойного интегрирования

В АЦП *двойного интегрирования* используется метод предварительного преобразования напряжения во временной интервал, а затем измерения временного интервала. Преобразователь «напряжение – временной интервал» строится на основе интегратора, так как при постоянном входном напряжении выходное напряжение интегратора – линейная функция времени:

$$U_{\text{ИН}}(t) = -[1/(RC)] \int_0^t U_a(t) dt = -[1/(RC)] \cdot U_a t.$$

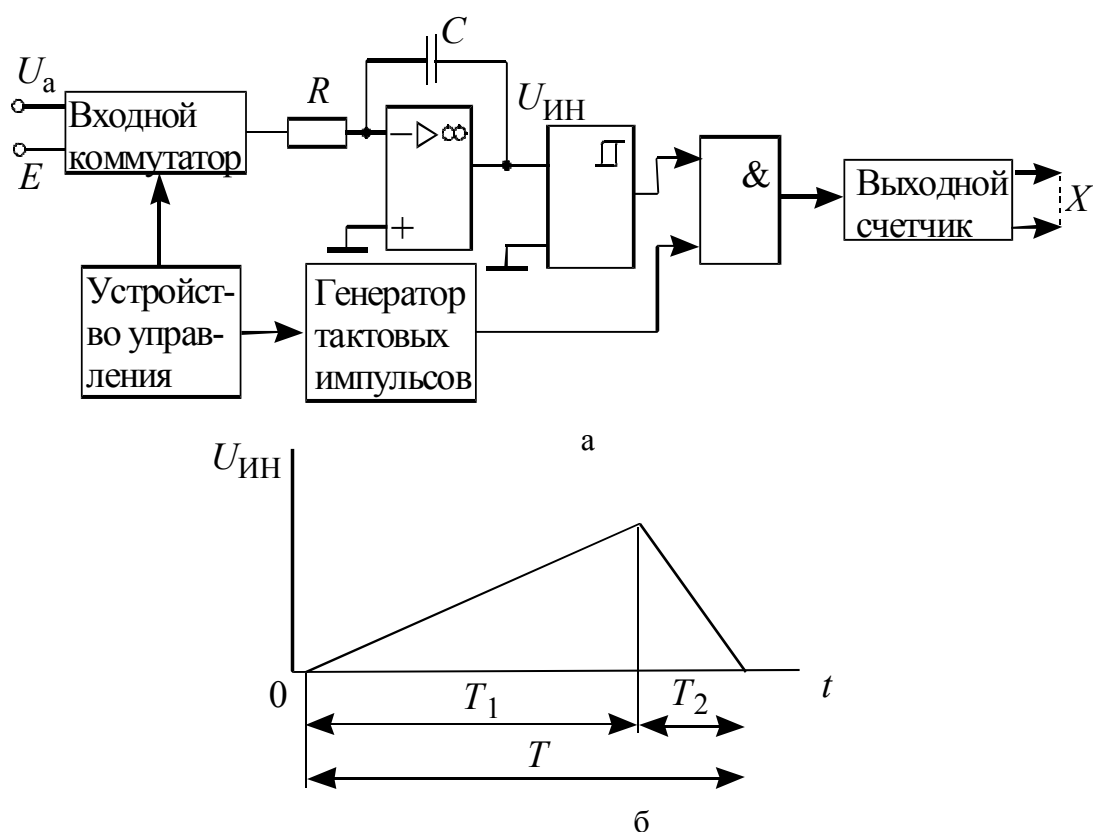


Рис. 8.9

На рис. 8.9 приведены схема (а) и график (б) работы АЦП двойного интегрирования. На первом этапе преобразования на вход интегратора через входной коммутатор подается напряжение U_a и в течение фиксированного времени T_1 реализуется первое интегрирование, в результате которого на выходе интегратора устанавливается напряжение, пропорциональное U_a т.е. $U_{\text{ИН}} = -U_a T_1 / (RC)$.

На втором этапе преобразования на вход интегратора подключается источник ЭДС E , знак которого противоположен знаку U_a , напряжение на выходе интегратора изменяется от $U_{\text{ИН.max}}$ до 0 в течение

времени $T_2 = U_a T_1 / E$. При достижении на выходе интегратора нулевого уровня «нуль компаратор» прекращает поступление тактовых импульсов на вход счетчика результата.

8.2.5. АЦП с преобразованием напряжения в частоту

В АЦП с преобразованием напряжения в частоту используется метод измерения частоты следования прямоугольных импульсов, основанный на заполнении счетчика импульсов в течение фиксированного

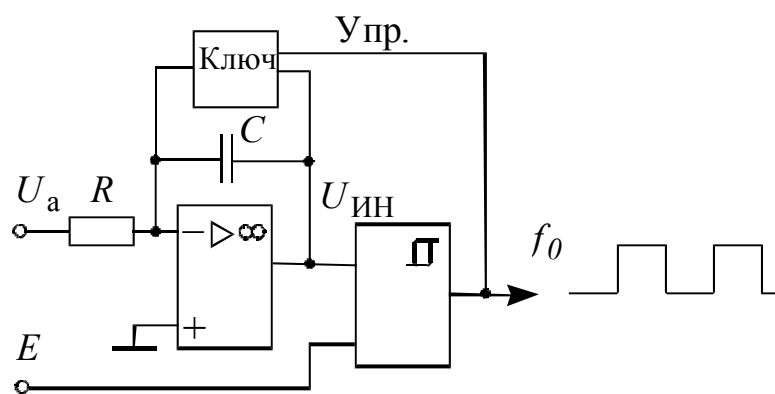


Рис. 8 10

времени. Эти преобразователи используются при медленно изменяющемся входном напряжении. Основное достоинство этих АЦП – простота схемотехнического решения. Преобразователи (рис. 8.10) с операционными усилителями серии 154, 574 с малыми входными токами позволяют решить задачу аналого-цифрового преобразования за время $T = 10\text{мкс}$ при 8-разрядном коде.

В табл. 8.2 приведены основные параметры микросхем, на основе которых реализуются аналого-цифровые и цифро-аналоговые преобразователи (N - число двоичных разрядов, $t_{\text{ПР}}$ - время преобразования).

Таблица 8.2

Микро-схема	Назначение	Параметры		Зарубежный аналог
		N	$t_{\text{ПР}}$, мкс	
572ПВ1А, Б	АЦП (поразрядного уравнивания)	12	130	AD7570
572ПВ2	АЦП (двойного интегрирования)	13-14	-	ICL7107

1113ПВ1	АЦП (поразрядного уравнивания)	10	30	AD571
1107ПВ1	АЦП (параллельное)	6	0,1	TDC100 7
572ПА1А, В	ЦАП	10	5	AD7520
572ПА2А, В	ЦАП	12	10	-
594ПА1	ЦАП	12	3,5	AD562
1108ПА1А, Б	ЦАП	12(А), 10(Б)	0,4	Н1562

8.3. Аналого-цифровые множительно-делительные устройства

Преобразователи аналоговых сигналов в цифровые и цифровых в аналоговые, кроме собственно преобразования, способны воспроизвести операции умножения и деления. Используя эти возможности, можно расширить функции устройства ввода данных в микропроцессор, проводя определенные функциональные преобразования сигналов, поступающих с датчиков до ввода их в процессор, и тем самым увеличить производительность системы обработки данных.

Рассмотрим возможности воспроизведения операций умножения на основе ЦАП. Операция умножения воспроизводится схемой ЦАП непосредственно, так как напряжение на выходе ЦАП

$$U_0 = U_{\text{ОП}} \left(X_1/2 + X_2/4 + X_3/8 + \dots + X_N/2^N \right).$$

Если $U_{\text{ОП}} = U_{\text{ВХ1}}$, а $X\{X_1, X_2, \dots, X_N\} = X_{\text{ВХ2}}$, то $U_0 = U_{\text{ВХ1}} X_{\text{ВХ2}}$, данное выражение позволяет реализовать схему воспроизведения умножения аналогового сигнала на цифровой. Схемы аналоговых и цифровых и цифровых коммутаторов и схемы выборки – хранения расширяют функции устройства умножителя (рис. 8. 11) и делителя (рис. 8. 12).

Если кодовая комбинация на входах управления аналоговых (АК) и цифрового (ЦК) коммутаторов соответствует состоянию определенного открытого аналогового и цифрового каналов, т.е. $\text{УпрАК}_1 = 001$; $\text{УпрАК}_2 = 0$; $\text{УпрАК}_3 = 000$; $\text{УпрЦК} = 000$, то напряжение на выходе устройства

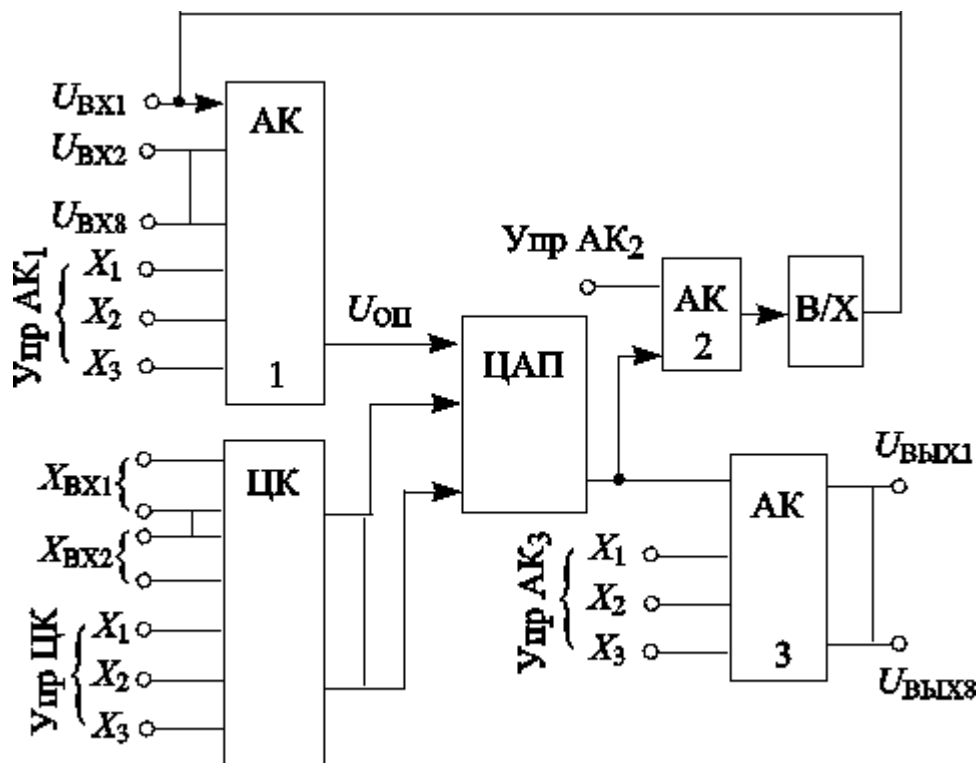


Рис. 8.11

$$U_{\text{ВЫХ1}} = U_{\text{ВХ2}} X_{\text{ВХ1}}.$$

Изменяя кодовые комбинации на входах УпрАК₁, УпрАК₃, УпрЦК, можно получать любые произведения вида

$$U_{\text{ВЫХ}i} = U_{\text{ВХ}j} X_{\text{ВХ}k}; \quad i = 1, 2, \dots, 8; \quad j = 2, 3, \dots, 8; \quad k = 1, 2, \dots, 8.$$

Введем временное разделение работы устройства на два такта t_1 и t_2 для записи результатов в блоке выборки – хранения В/Х. В этом случае: при t_1 и кодовых комбинациях на входах управления УпрАК₁ = 001; УпрАК₂ = 1; УпрЦК = 000

$$U_{\text{ВХ1}} = U_{\text{ВХ2}} X_{\text{ВХ1}},$$

при t_2 и кодовых комбинациях на входах управления УпрАК₁ = 000, УпрАК₂ = 0, УпрЦК = 000, УпрАК₃ = 000

$$U_{\text{ВЫХ1}} = U_{\text{ВХ2}} X_{\text{ВХ1}} X_{\text{ВХ1}}.$$

Изменяя кодовые комбинации на входах управления, можно получать произведения вида

$$U_{\text{ВЫХ}i} = U_{\text{ВХ}j} X_{\text{ВХ}n} X_{\text{ВХ}m}; \quad i = 1, 2, \dots, 8; \quad j = 2, 3, \dots, 8; \quad m = 1, 2, \dots, 8.$$

Разделяя во времени работу устройства на три (или более) такта, можно получать произведения сигналов на любое число цифровых входов (от 1 до 8).

Воспроизведение операций деления реализуется на основе АЦП. АЦП последовательного приближения показан на рис. 8.12. Напряжение на выходе ЦАП в любой момент времени равно $U'_{\text{ВЫХ}} = U_{\text{ВХ}2} X_{\text{ВЫХ}}$. Кодовые комбинации счетчика изменяются в соответствии с натуральным рядом чисел от 0 до N . В момент времени, когда $U'_{\text{ВЫХ}} = U_{\text{ВХ}1}$, состояние компаратора изменяется из «1» в «0» и запрещается поступление сигналов с генератора тактовых сигналов ГТС на суммирующий вход счетчика. В этом случае

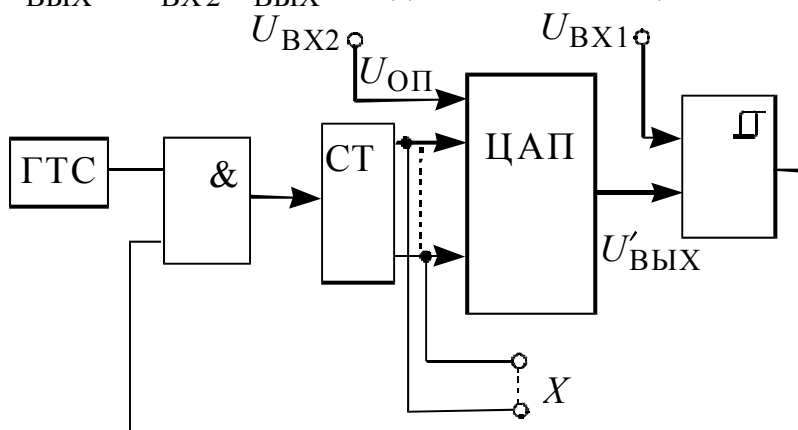


Рис. 8.12

ответствии с натуральным рядом чисел от 0 до N . В момент времени, когда $U'_{\text{ВЫХ}} = U_{\text{ВХ}1}$, состояние компаратора изменяется из «1» в «0» и запрещается поступление сигналов с генератора тактовых сигналов ГТС на суммирующий вход счетчика. В этом случае

$$U_{\text{ВХ}2} X_{\text{ВЫХ}} = U_{\text{ВХ}1} \quad \text{или} \quad X_{\text{ВЫХ}} = U_{\text{ВХ}1} / U_{\text{ВХ}2}.$$

Введение в схему на рис. 8.12 элементов для коммутации аналоговых сигналов, подобной коммутации аналоговых сигналов для схемы на рис. 8.11, позволяет реализовать зависимости вида

$$X_{\text{ВЫХ}} = U_{\text{ВХ}i} / U_{\text{ВХ}j}; \quad i = 1, 2, \dots, 8; \quad j = 1, 2, \dots, 8.$$

Разделение работы устройства на n тактов выявляет возможность воспроизведения более сложных зависимостей:

$$X_{\text{ВЫХ}} = U_{\text{ВХ}i} / (U_{\text{ВХ}j} U_{\text{ВХ}k} \dots U_{\text{ВХ}n});$$

$$i = 1, 2, \dots, 8; \quad j = 1, 2, \dots, 8; \quad k = 1, 2, \dots, 8; \quad i \neq j; i \neq k; i \neq n.$$

Совмещая функции множительного и делительного устройств в рамках единого аналого-цифрового множительно-делительного устрой-

ства, можно сформировать вычислительный блок, функциональная характеристика которого имеет вид

$$Z = (X_1 X_2 \dots X_n) / (Y_1 Y_2 \dots Y_n),$$

где X, Y, Z – переменные функции времени, которые могут быть представлены как аналоговыми, так и цифровыми сигналами.

9. МИКРОПРОЦЕССОРНЫЕ СИСТЕМЫ

Информационная система показывает, как соединены различные устройства с микропроцессором. Типичные подсистемы – это сумматоры-вычитатели, счетчики, регистры сдвига, ОЗУ, ПЗУ, шифраторы, дешифраторы, селекторы данных, тактовые генераторы. В данном разделе рассматриваются микропроцессорные системы и способы передачи данных в этих системах.

9.1. Архитектура цифровой ЭВМ

Самая простая ЭВМ содержит пять устройств: ввода исходной информации, управления и арифметических действий, составляющих центральный процессор (ЦП), а также память и устройство вывода результатов обработки информации. Устройства, размещаемые вне ЦП, часто называют периферийными устройствами.

Физические устройства являются *аппаратными средствами*, для их использования занесенная в память программа предписывает перечень процедур, исполняемых процессором. Подготовка списка команд (процедур) называется *программированием*. Подготовленный список команд представляет собой программу, которая временно или постоянно хранится в памяти. Эти программы перерабатывают информацию, называемую общим термином – *данные*. *Программные средства* – это также общий термин, охватывающий все программы. Таким образом, ЭВМ функционирует в следующем порядке: программа и данные загружаются в центральный процессор и размещаются в предназначенной для них области памяти. Центральный процессор считывает из памяти первую команду, интерпретирует ее и выполняет. Как только обработка данных закончится, результат передается на выход ЭВМ. Обычно роль центрального процессора в таких системах выполняет микропроцессор (МП). *Микропроцессор* – программно - управляемое устройство, осуществляющее процесс обработки цифровой информации и управления им, построенное, как правило, на одной или нескольких *сверхбольших*

интегральных схемах (СБИС). На рис. 9.1 приведена архитектура обычной ЭВМ.

Микропроцессор контролирует все системы и управляет ими посредством *линий управления и контроля*. Параллельно линиям управления расположена *адресная шина* (например, 16 параллельных проводников), которая выбирает ячейку памяти данных, порты ввода или вывода данных. *Порт* – это аппаратное устройство, через которое осуществляется связь МП с каким-либо устройством ввода или вывода информации (клавиатура, экран и т.п.). *Шина данных* (например, 8 параллельных проводников) является двунаправленной и служит для передачи данных в центральное устройство обработки информации или из него. Микропроцессор может пересылать данные в память или получать их из нее посредством шины данных. Программа обычно помещается в память постоянно, т.е. располагается в ПЗУ. Программы пользователя, которые по своей природе изменяемы, помещаются в ОЗУ вместе с данными. ОЗУ на рис. 9.1 показано как память для хранения данных. Здесь находятся данные, используемые в процессе выполнения конкретной программы.

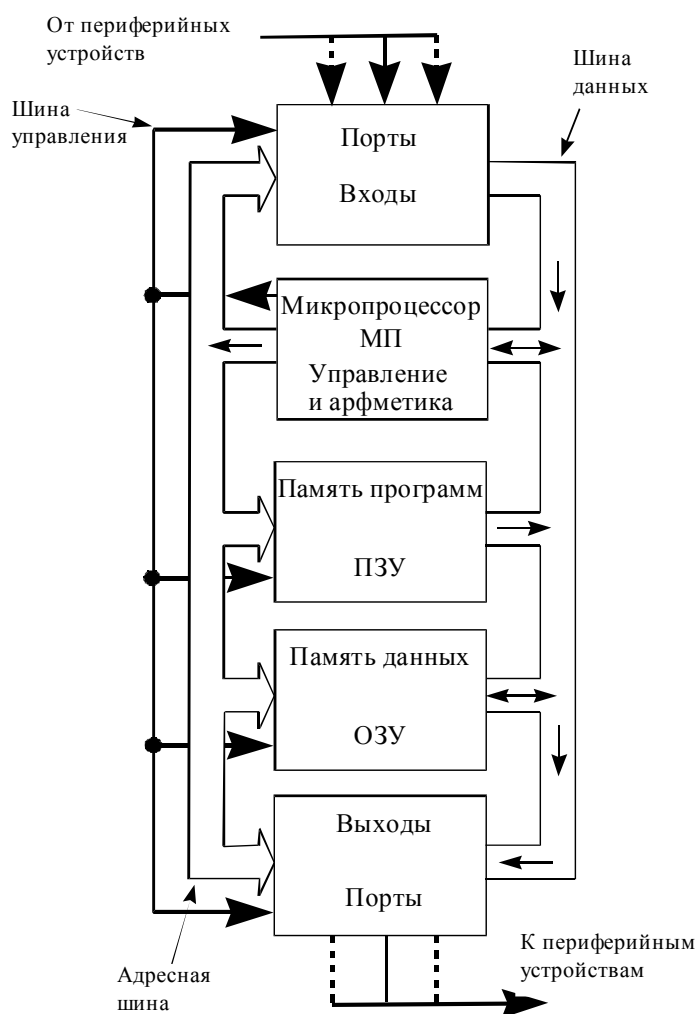


Рис. 9.1

9.2. Дешифрация адреса в ЭВМ

Рассмотрим 4-разрядную микропроцессорную систему, представленную на рис. 9.2. В этой системе используются только 8 проводников в адресной шине и 4 проводника в шине данных. ОЗУ представляет собой ИС емкостью 64 бита. Эти ОЗУ аналогичны микросхеме К155РУ2, рассмотренной в разделе 6.1.

Дешифратор адреса, показанный на рис. 9.2 определяет, какое именно ОЗУ нужно использовать и посылает разрешающий сигнал по линии выборки микросхемы. *В каждый момент времени разрешающий сигнал подается только в одну такую линию*. Блок дешифрации адреса состоит из обычных комбинационных логических элементов. ОЗУ 0 выбирается при адресации ячеек 0-15, ОЗУ 1 – при адресации ячеек 16-31.

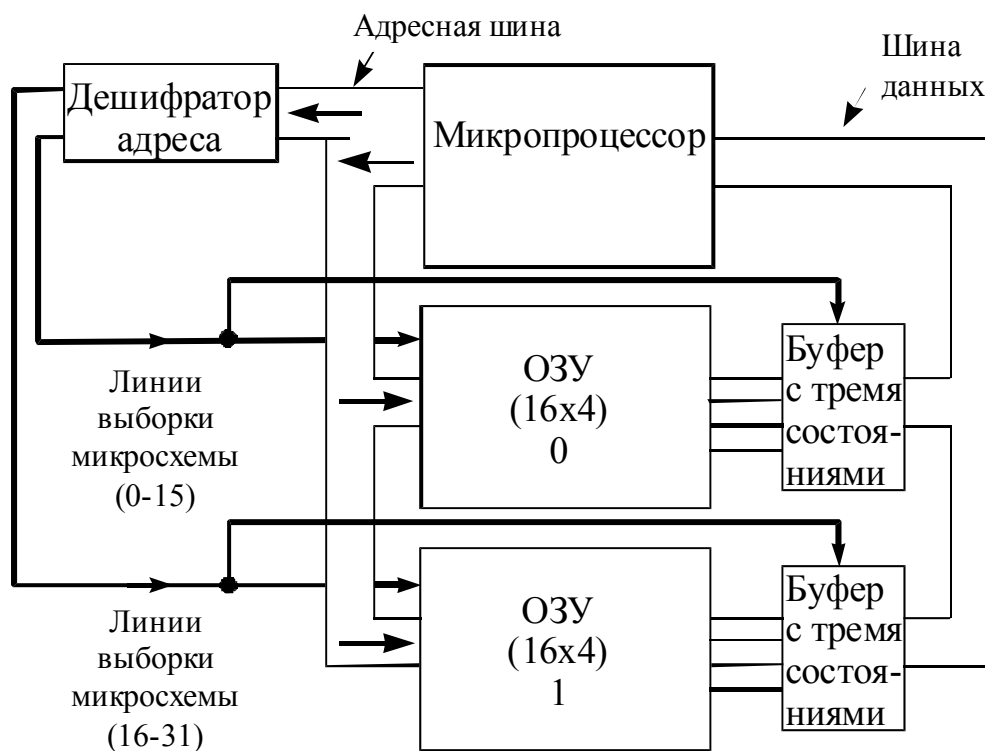


Рис. 9.2

Буферы с тремя состояниями, показанные на рис. 9.2, отсоединяют выходы соответствующего ОЗУ от информационной шины, когда это ОЗУ не участвует в пересылке данных. В каждый момент времени только одному ОЗУ разрешается пересылать данные по общей информационной шине. Соответственно этому линии выборки микросхемы используются также для переключения указанных буферов. Когда буферы выключены, принято говорить, что выходы буферов находятся в состо-

янии высокого импеданса, при этом они надежно отсоединены от четырех линий данных, подключенных к их входам.

Логические схемы, используемые в простом дешифраторе адреса, показаны на рис. 9.3. В этом примере только тогда, когда на все четыре адресные линии от A_7 до A_4 поступают сигналы логического 0, на выходе нижнего 4-входового логического элемента ИЛИ действует НИЗКИЙ уровень.

Если на четыре указанные линии адреса в дешифраторе (рис. 9.3)

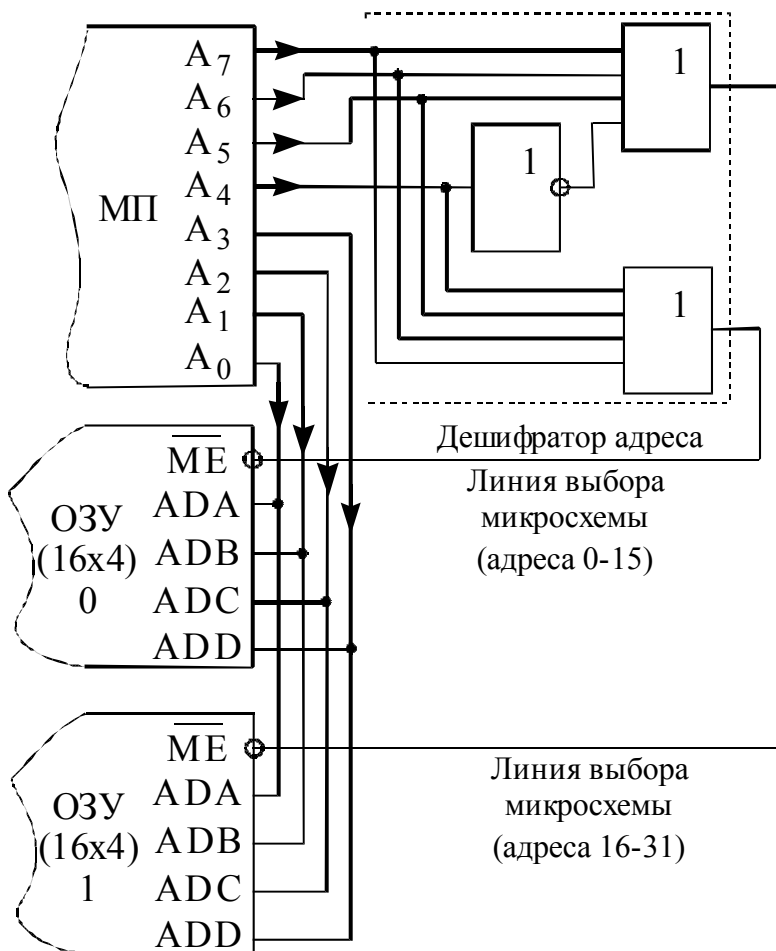


Рис. 9.3

подана двоичная комбинация 0001 ($A_7 = 0, A_6 = 0, A_5 = 0, A_4 = 1$), то переключается верхний логический элемент ИЛИ. Двоичная комбинация 0001 вызывает появление НИЗКОГО уровня на выходе этого логического элемента в дешифраторе адреса, т.е. приводит к выдаче активного уровня сигнала в нижнюю линию выборки микросхемы ОЗУ. В результате разблокируется нижнее ОЗУ. Дешифратор адреса, показанный на рис.9.3, дешифрирует состояния четырех самых «старших» адресных линий, чтобы выдать нужный логический уровень на вход выборки микросхемы каждого ОЗУ. Состояния четырех самых «младших» адресных линий (от A_0 до A_3) дешифрируются внутри самих микросхем ОЗУ, в результате выбирается точный адрес 4-разрядного слова.

В микропроцессорной системе, изображенной на рис. 9.2 и рис. 9.3, используются 8 адресных линий. Это означает, что микропроцессор может генерировать 256 (2^8) различных адресов.

9.3. Интерфейс с ПЗУ

Большинство микропроцессоров сами по себе функционально ограничены. Большая часть из них содержит память и немногие порты ввода/вывода, которые через интерфейс соединяют их с периферией. *Интерфейс* – совокупность унифицированных технических и программных средств, необходимых для подключения данных устройств к системе или одной системы к другой. Среди прочих свойств интерфейса отметим решение им задачи синхронизации, выбора направления передачи данных и иногда приведение уровней или форм сигналов. Рассмотрим задачу разработки интерфейса с ПЗУ. На рис. 9.4 приведена часть системы, включающая МП и ПЗУ. С выходами $D_0 - D_7$ ПЗУ соединены 8 линий шины данных. Единственный выход управления считыванием \overline{RD} идет из МП на вход активизации \overline{OE} ПЗУ.

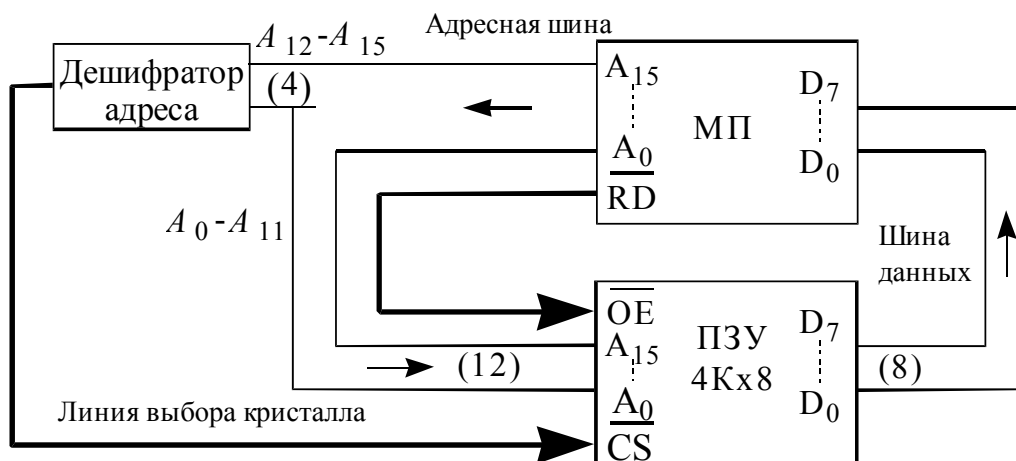


Рис. 9.4

С постоянным запоминающим устройством емкостью 4 Кбайт соединены 12 линий адресной шины младших разрядов ($A_0 - A_{11}$). Дешифратор, встроенный в ИС ПЗУ, может получить доступ к любому из 4096 ($2^{12}=4096$) 8 – разрядных слов ПЗУ. Адресные линии четырех старших разрядов ($A_{12} - A_{15}$) идут в устройство комбинационной логики – дешифратор адреса. Для доступа в ПЗУ и считывания из него данных МП должен: активизировать линии адреса $A_0 - A_{11}$; установить сигнал НИЗКОГО уровня на линии управления считыванием \overline{OE} ; установить сигнал НИЗКОГО уровня на линии дешифратора адреса и выбора кристалла.

Предположим, что МП нужно обратиться в память по адресу 0000H (0000 0000 0000 0000₂). Младшие 12 бит подключаются по адресным

линиям $A_0 - A_{11}$ к контуру дешифратора ПЗУ. К адресным принадлежат также старшие 4 бита $A_{12} - A_{15}$. Они декодируются дешифратором адреса. Если $(A_{12} - A_{15}) = 0000_2$, дешифратор адреса выдает сигнал, который активизирует вход \overline{CS} выбора кристалла (рис. 9.4). Таким образом, старшие 4 бита адреса выбирают сегмент памяти, а младшие 12 бит определяют нужную ячейку памяти в этом сегменте.

В интерфейсе с ПЗУ важное значение имеют способы *адресации и синхронизации*. Адресация нами рассмотрена, рассмотрим теперь синхронизацию. На рис. 9.5 приведена временная диаграмма сигналов МП, управляющих считыванием 8-разрядного слова из ПЗУ.

Верхняя линия диаграммы представляет переход адресных линий $A_0 - A_{15}$ на их соответствующий логический уровень. Согласно рис. 9.4 адресные линии $A_0 - A_{11}$ активизируют адресные входы ПЗУ, тогда как адресные линии $A_{12} - A_{15}$ декодируются дешифратором адреса и активизируют вход \overline{CS} выбора кристалла ПЗУ. Спустя некоторое время, выход управления считыванием \overline{RD} МП активизирует процесс вывода данных из ПЗУ. Расположенные здесь данные помещаются на шину данных и принимаются МП.

На рис. 9.5 показаны критические ограничения синхронизации. После того как на адресных линиях установился соответствующий логический уровень и активизировался вход \overline{CS} ПЗУ, нужен определенный отрезок времени для извлечения слова данных. Это время необходимо внутренним дешифраторам ПЗУ для нахождения требуемого байта в памяти.

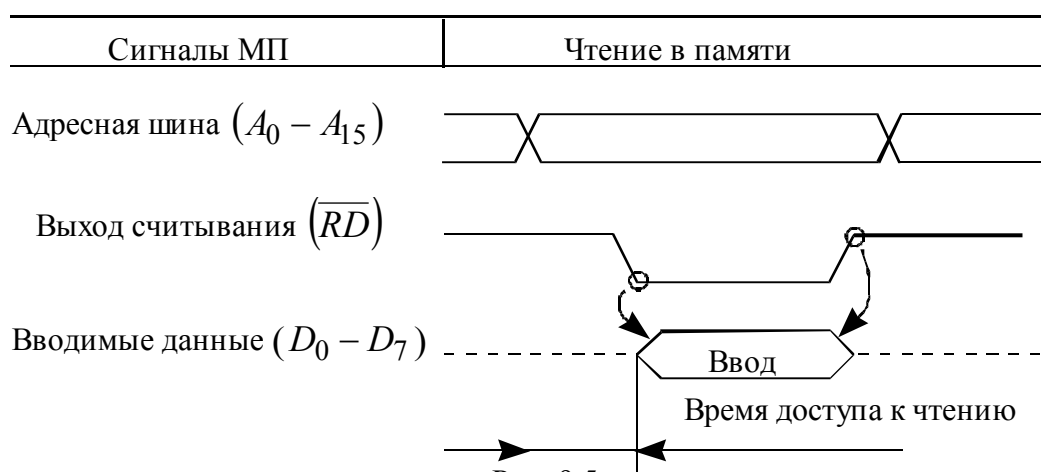


Рис. 9.5

На рис. 9.5 использованы кружки и стрелки. Эти индикаторы применяются для обозначения соотношений причины и следствия на вре-

менной диаграмме. В качестве примера переход от H - к L -уровню (от HIGH к LOW) на выходе считывания осуществит переключение тристабильных выводов шины данных МП из состояния высокого сопротивления в состояние для приема данных на входе. Штриховая часть временной диаграммы по линии ввода соответствует состоянию высокого сопротивления. При переходе от L - к H -уровню выхода \overline{RD} выводы шины данных МП снова переключатся в третье состояние и не примут данные с шины. Интерфейс с ОЗУ подобен рассмотренной схеме. Его своеобразие заключается в возможности не только считывания информации из памяти, но и записи информации в ОЗУ.

9.4. Интерфейс с реальными портами ввода/вывода (ВВ)

Операция ввода или вывода включает в себя передачу данных из (или в) требуемой периферии. Разработчики выпускают порты ВВ в виде ИС, например – 8-разрядный элемент ВВ Intel 8212. Интегральная схема Intel 8212 может быть использована как адаптер порта ввода или вывода. Функцией *адаптера* является регламентация вывода или ввода информации из МП через интерфейс в периферию. На рис. 9.6 приведен МП, подобный типовому, имеющий интерфейсом с семисегментным индикатором элемент Intel 8212. Этот индикатор является периферией. На схеме МП имеет изолированный ВВ. Отметим, что в этом случае выходная линия выбора устройства полностью декодируется по восьми адресным линиям младших разрядов ($A_0 - A_7$).

На рис. 9.6 ИС 8212 используется в порте вывода. Это можно установить, заметив, что на входе управления состоянием MD установлен H -уровень. Линии шины данных подсоединены к восьми входным линиям $DI_0 - DI_7$ элемента ВВ 8212, чьи выходные линии $DO_0 - DO_7$ подсоединены к входам индикатора. Элемент Intel 8212 имеет восемь защелок данных (8-разрядный параллельный регистр) и выходные буфера (8 тристабильных элементов). Два входа выбора $\overline{DS1}$ и $DS2$ являются управляющими для элемента 8212, используемого в рассматриваемом способе ВВ. Когда $\overline{DS1}$ активизируется L -сигналом, $DS2$ - H -сигналом, данные, поступающие с шины захватываются защелками данных и появляются на выходах $DO_0 - DO_7$, активизируя сегменты индикатора.

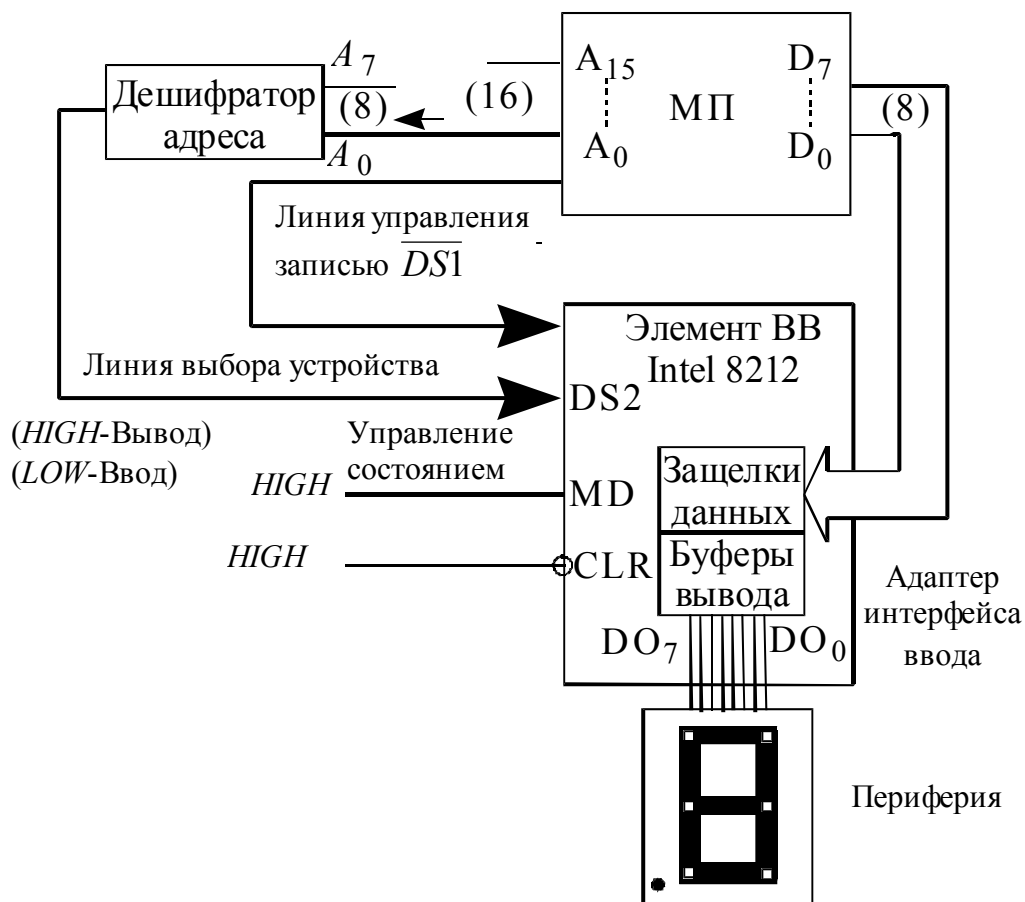


Рис. 9.6

На рис. 9.7 приведена временная диаграмма работы порта Intel 8212 в состоянии вывода. Как только активизируются входы сигналов управления

$\overline{DS1}$ и $DS2$, выходные данные захватываются в порте ВВ и располагаются на выходных выводах. В состоянии вывода выходные буферы постоянно разрешены, следовательно, захваченные данные появляются даже после того, как линии управления $\overline{DS1}$ и $DS2$ возвращаются в состояние сброса.

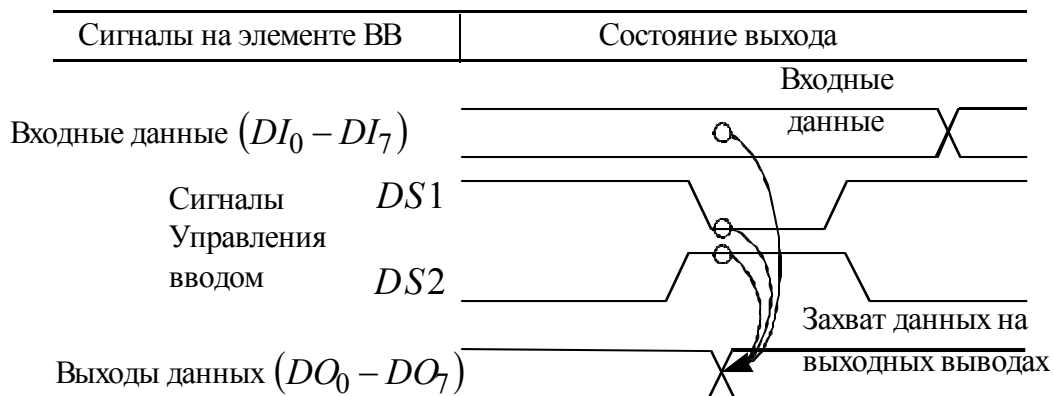


Рис. 9.7

9.5. Синхронизация прерыванием передачи данных в устройство ВВ

Рассмотренные выше темы предполагали, что когда программа указывала МП ввести данные в порт, они уже имелись в наличии и были расположены в строго определенном месте. Однако это не всегда так, потому что периферия (например, клавишное устройство) имеет различное с МП быстродействие. В этом случае имеются несколько способов решения проблемы. К ним относятся методы *опросов и прерываний*.

Опрос называется еще программируемым ВВ. Это наиболее простой метод синхронизации и, используется он в небольших специализированных устройствах. Основной идеей опроса является ввести и (или) вывести данные последовательно, используя в программе цикл опроса.

В общем случае в цикле можно опрашивать одно или несколько устройств ВВ. МП опрашивает первое устройство – нужно ли ему обслуживание, и если да, устанавливает индикатор состояния, т.е. устройство получает требуемое обслуживание. В противном случае МП продолжает опрос.

Представленная на рис. 9.8 система снабжена линией требования прерывания (*INTR*), чтобы дать знать МП о готовности данных для передачи в ЦП. Активизированный *H*-сигналом МП выполняет текущую команду, передает на хранение в специальную область памяти промежуточные результаты и ветвится в подпрограмму обслуживания прерывания. Затем МП возвращается в основную программу.

Микропроцессор имеет интерфейс порта ВВ с клавишным устройством, построенным на ИС 8212 (рис. 9.8). Управление состоянием (линия *MD*) устройства имеет *L*-уровень и воздействует на адаптер ввода.

Вход сброса CLR в устройстве 8212 деактивируется H -сигналом. Правильные 8-разрядные данные с клавишного устройства поступают на входы данных $DI_0 - DI_7$ элемента 8212. В этой системе линия строба (STB) управляет защелками данных, тогда как входы выбора устройства $DS1$ и $DS2$ элемента 8212 управляют буферами выхода.

Клавишное устройство должно поместить 8-разрядное слово на входы данных элемента 8212 и выдать импульс $HIGH$ (строб), чтобы удержать эти данные во внутренних защелках порта ВВ. Эти события представлены на рис. 9.9 тремя верхними графиками.

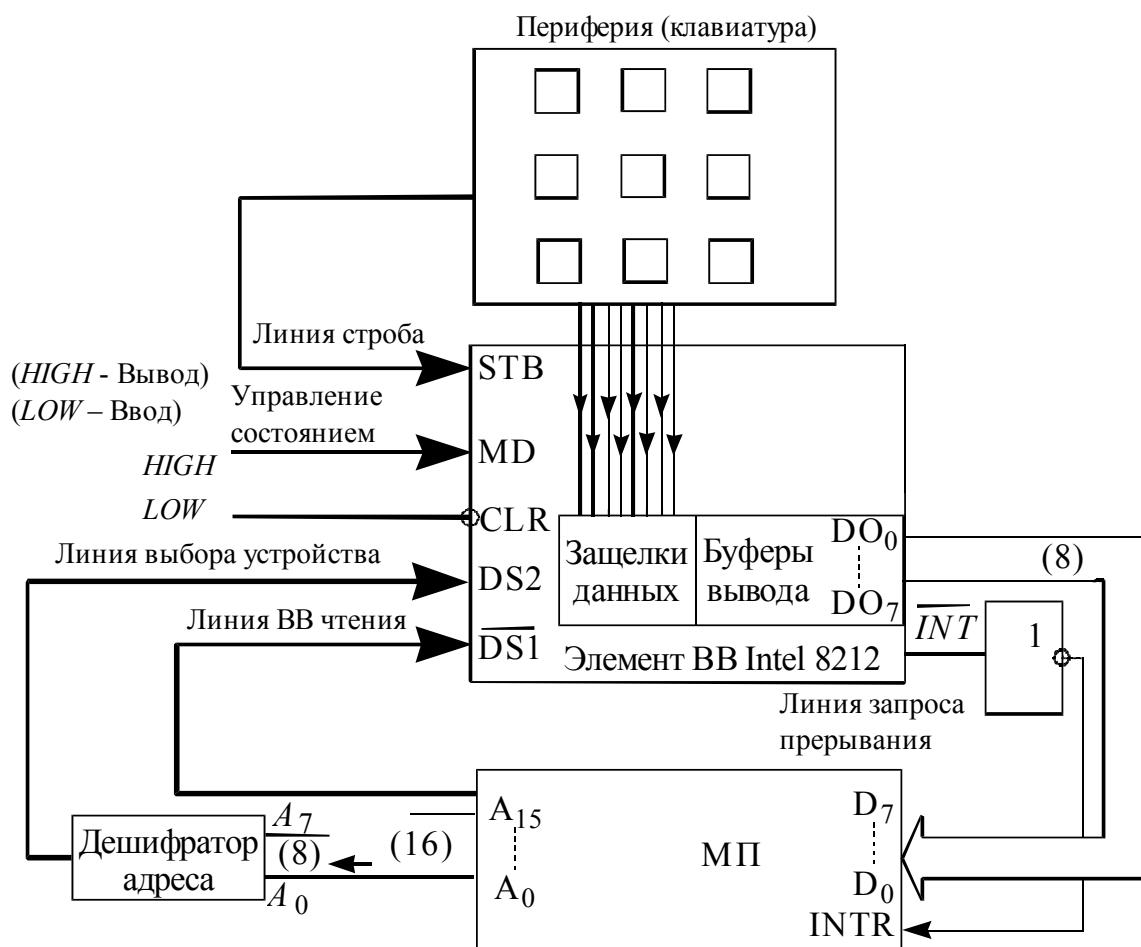


Рис. 9.8

Согласно нижним графикам на рис. 9.9, после того как данные стробированы в защелках, контуром элемента 8212 выдается импульс прерывания INT , который поступает в МП по линии требования прерывания; линии управления буфером вывода ($DS1$ и $DS2$) активированы. Кривые 3 и 6 иллюстрируют размещение захваченных данных командами $DS1$ и $DS2$ элемента Intel 8212 на шине данных в течение

очень короткого промежутка времени. Заметим, что выходы элемента ВВ Intel 8212 возвращаются в свое третье состояние сразу после того, как команды буферов $\overline{DS1}$ и $DS2$ признаются недействительными. Рассмотрим снова интерфейс клавишного устройства (рис. 9.8), когда система имеет изолированный ВВ. Специальный сигнал управления I/OR активизирует вход $\overline{DS1}$ устройства Intel 8212. Восемь адресных линий младших разрядов ($A_0 - A_7$) полностью декодируются дешифратором адреса, выходы которого активизируют вход $DS2$ по линии выбора устройства ($\overline{DS1}$ и $DS2$ управляют буферами вывода элемента ВВ 8212). Инвертор согласовывает L -активный выход \overline{INT} Intel 8212 с H -активным входом $INTR$ МП.

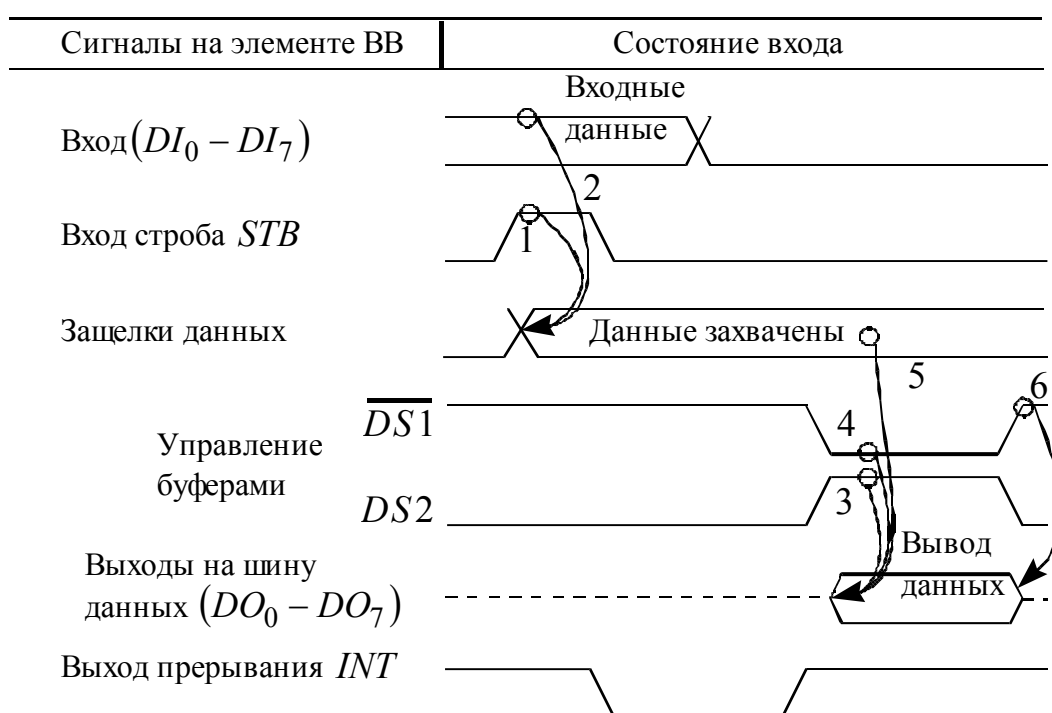


Рис. 9.9

Прерывание информирует МП о том, что устройство ВВ готово и необходимо обслуживание. Реализует эту операцию специальная подпрограмма обслуживания прерывания. Если несколько устройств вызывают прерывание МП, линии вызова прерывания подвергаются операции ИЛИ, и МП в таком случае необходимо определить ответственное за прерывание устройство ввода/вывода (УВВ). Этот процесс выбора относится к способу опроса и составляет схему *опроса-прерывания*. В таком случае каждому порту ВВ соответствует одно состояние, код которого указывает МП – готов ли порт ввести или вывести данные.

Существуют МП, снабженные несколькими входами прерывания и командами признания или непризнания по крайней мере некоторого числа этих входов. Многие МП снабжены *векторным прерыванием*, когда МП знает устройство, вызвавшее прерывание, и ветвится на подпрограмму обслуживания соответствующего прерывания. Многие МП снабжены также устройствами определения приоритета обслуживания (аппаратно или программно) в случае двух одновременных прерываний (*арбитраж приоритета прерывания*). Эта система решает, согласиться ли с приоритетом обслуживания одного из прерываний, она обычно содержится в специальной ИС (например, устройство Intel 8259).

Преимущество опроса над процедурой прерывания состоит в том, что первый требует меньших аппаратных средств и, находясь под программным контролем, является синхронным. Недостатком является потребность в очень развитых программах, занимающих время МП в случае большого числа устройств опроса, и необходимость довольно значительного промежутка времени для ответа на один запрос.

Преимуществами прерывания над опросом является быстрое действие ответа, лучшее использование МП и потребность во много раз меньших программных средств. Недостаток состоит в том, что функционирование МП асинхронно и требует сложного аппаратного интерфейса.

9.6. Обнаружение ошибок при передаче информации

Причиной возникновения ошибок могут стать: наличие большой «паразитной» емкости между параллельными линиями тракта передачи, несогласованность скоростей приемника и передатчика информации, наличие механических повреждений и т.д. С целью обеспечения высокой точности цифровых устройств используют специальные методы *обнаружения ошибок*.

Для выявления ошибок нужно осуществлять постоянную проверку передаваемой информации. С этой целью формируется и передается вместе с информацией один дополнительный контрольный *разряд четности*. Этот разряд дополняет число единиц в передаваемом коде до четного, т.е. содержит единицу, если оно нечетное. На рис. 9.10, а показана структурная схема соответствующей системы передачи данных. В этой системе 3 информационных разряда *A*, *B*, *C* пересылаются в параллельной форме на большое расстояние. Перед поступлением на вход системы данные проходят через *генератор контрольного разряда четности*. Этот контрольный разряд передается вместе с данными, которые до пересылки на выход системы подвергаются проверке. Если при

передаче произошла ошибка, о ее наличии в полученных данных сигнализирует *детектор ошибок*. Если же значения всех информационных разрядов на выходе системы те же, что и на ее входе, сигнал ошибки отсутствует.

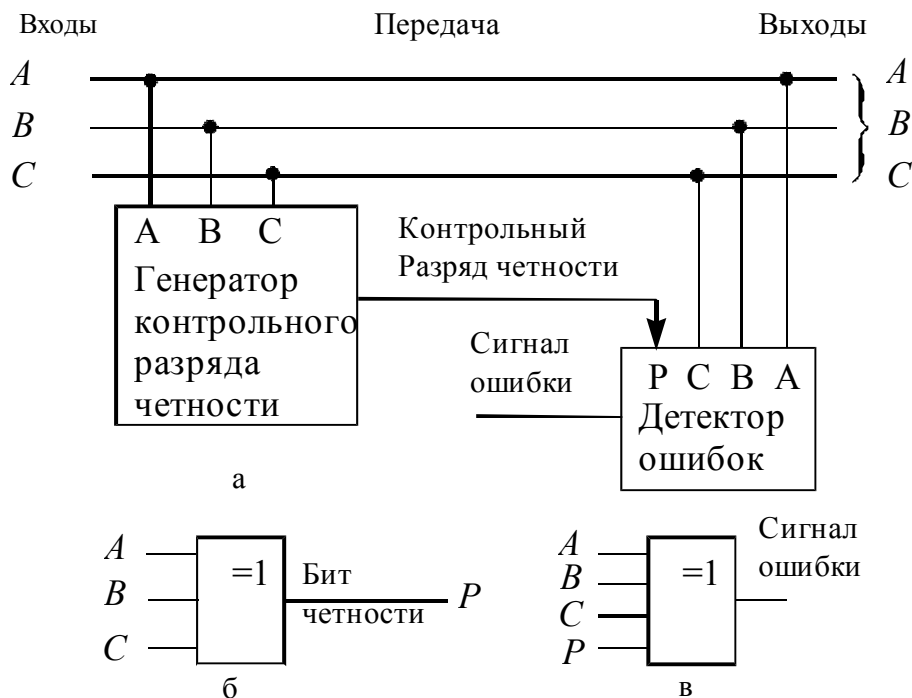


Рис. 9.10

Табл. 9.1 показывает принцип работы системы обнаружения ошибок. Эта таблица фактически представляет собой таблицу истинности для генератора разряда четности в системе на рис. 9.10, а. Значение выходного сигнала в каждой горизонтальной строке табл. 9.1 определяется таким образом, чтобы полное число «единиц» в строке было четным (0 «единиц», 2 «единицы», 4 «единицы»). Далее для полученной таблицы истинности подбирается соответствующая логическая схема; для нашего случая схема генератора контрольного разряда четности приведена на рис. 9.10, б. Схема, вырабаты-

Таблица 9.1

Входы			Выход
Параллельные данные			Бит четности
С	В	А	Р
0	0	0	0
0	0	1	1
0	1	0	1
0	1	1	0
1	0	0	1
1	0	1	0
1	1	0	0
1	1	1	1

вающая на своем выходе логическую 1 всякий раз, когда на ее входы поступает нечетное число «единиц», показана на рис. 9.10, в, т.е. может использоваться в качестве детектора ошибок. Система с использованием разряда четности только обнаруживает ошибки, но не *исправляет их* и является одной из многих контролирующих систем.

9.7. Системный интерфейс

В большинстве случаев приемники и передатчики информации могут отстоять друг от друга территориально на довольно большом расстоянии (более 10 м). Примером такого расположения объектов являются локальные сети. В этом случае необходимо использование системного интерфейса. *Системный интерфейс* - как правило, многоуровневая архитектура (совокупность) аппаратурных и программных средств, осуществляющая обмен информации передачей сообщений, состоящих из командных, информационных и ответных слов.

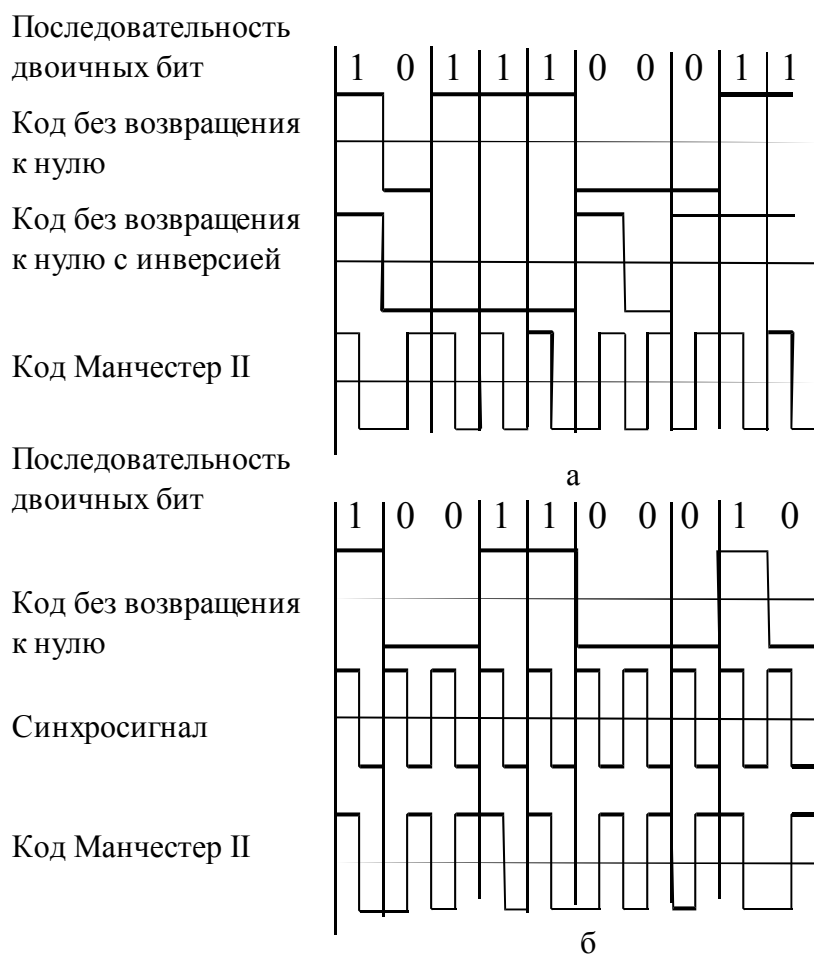


Рис. 9.11

При этом используется определенный язык передачи этих слов. Типичное слово протокола с битовой организацией содержит начальный флаг, адресное, управляющее и информационное поля, проверочную последовательность слова и завершающий флаг.

Для передачи слов с битовой организацией широко применяют код без возвращения к нулю, код без возвращения к нулю с инверсией, код Манчестер II.

Код без возвращения к нулю (рис. 9.11, а) отображает последовательность двоичных битов последовательностью уровней напряжения, постоянных на интервале передаваемого двоичного разряда.

В *коде без возвращения к нулю с инверсией* «1» передается отсутствием изменения уровня предшествующего бита, а «0» – инверсией этого уровня (рис. 9.11, а). Таким образом, «1» и «0» в этом коде могут быть представлены в одной последовательности как низким, так и высоким уровнями напряжения, причем длинная последовательность «1» образует постоянный уровень, а длинная последовательность «0» – биполярный периодический сигнал.

Код Манчестер II отображает каждый бит двоичной последовательности переходом уровней: если низкий уровень сменяется высоким, то передается «0», если высокий уровень сменяется низким – «1». Переходы имеют место в середине временного интервала, отведенного каждому двоичному биту (рис. 9.11, а). Код Манчестер II легко получается из кода без возвращения к нулю, если последний подать на один вход схемы логической равнозначности, на второй вход которой поступают синхросигналы в виде меандра с периодом, равным периоду кода без возвращения к нулю, и синфазный с ним (рис. 9.11, б). Этот код обладает большей помехозащищенностью по сравнению с кодом без возвращения к нулю, поскольку: во-первых, занимает полосу частот от половины до полного значения тактовой частоты, в то время как код без возвращения к нулю – от постоянной составляющей до половины тактовой частоты (отсутствие постоянной составляющей при кодировании по коду Манчестер II позволяет использовать более простые полосовые усилители переменного тока, применять подавление низкочастотных шумов); во-вторых, применение кода Манчестер II дает возможность обнаружения ошибки в каждом передаваемом разряде, если помнить ту особенность, что информационный переход имеет место в середине интервала, соответствующего биту. Поскольку присутствие высокого уровня или низкого уровня в течение всего интервала бита недопустимо, появление таких ситуаций может свидетельствовать о наличии ошибок. Декодирование «0» («1») при передаче «1» («0») в коде Манчестер II может произойти только тогда, когда из-за помехи инверсия логических

уровней будет иметь место в каждой половине интервала одного бита, однако вероятность одновременной инверсии фазы в пределах одного бита невелика.

Применение кода Манчестер II, наконец, позволяет уменьшить стоимость линии за счет исключения провода для передачи тактовых импульсов в интерфейсе, поскольку информационная последовательность в коде Манчестер II содержит в себе как тактовые, так и информационные сигналы. Более того, при применении кода без возвращения к нулю не исключено возникновение фазовых сдвигов между информационными и синхронизирующими последовательностями. Обладая свойством самосинхронизации, код Манчестер II позволяет обойти эти проблемы.

Информация от приемника к передатчику передается последовательно кадрами рис. 9.12. В протоколах последовательной передачи информации с битовой организацией для определения различных частей сообщения используется положение этих частей в последовательности битов. Кадр с обеих сторон ограничивается *флаговыми последовательностями*, например: 01111110. Если кадр оканчивается не флагом, а последовательностью единиц числом ≥ 15 , то это означает, что передающее устройство закончило передачу и другие устройства в сети могут начать передачу информации. Передающее устройство может закончить кадр посылкой комбинации от 7 до 14 единиц, что означает режим преждевременного прерывания кадра.

Флаг (8 бит)	Адресное поле (8,16 бит)	Управляющее поле (8,16 бит)	Информационное поле (произвольное число бит)	Поле проверочной последовательности (16 бит)	Флаг (8 бит)
-----------------	-----------------------------	--------------------------------	---	---	-----------------

Введение и исключение нулей

Рис. 9.12

Приемное устройство в этом случае не принимает последний кадр и не может выходить на передачу, пока не получит команды от передающего устройства. Кадр содержит адресное, управляющее и информационные поля (рис. 9.12). Адресное поле следует за первым флагом кадра и определяет адрес отправителя и получателя кадра. Возможны два режима адресации: режим основной адресации, при котором использу-

ется один адресный байт, и режим расширенной адресации, при котором длина адресного поля равна 1 байт и более. В последнем случае, если младший бит первого адресного байта есть «0», следующий байт есть продолжение адресного поля. Это поле заканчивается первым встречаемым байтом, в котором младший бит равен «1». Таким образом, адресное поле может быть расширено до любого числа байтов.

За адресным полем следует управляющее поле длиной 1 или 2 байта, предназначенное для кодирования команд и ответов, необходимых для управления линии передачи данных. Формат управляющего поля также строго определен.

Перед флагом в конце кадра размещается поле проверочной последовательности, обеспечивающей обнаружение ошибок (одним из бит данной последовательности является бит четности). Информационное поле включает в себя собственно пересылаемые данные и информацию о распределении данных в этом поле. Важной особенностью протокола последовательной передачи данных с битовой организацией является введение и исключение нулей, чем обеспечивается прозрачность (выделение) данных в кадре. В пределах битовой последовательности кадра между двумя флагами нуль автоматически вставляется в процессе передачи после пяти подряд идущих единиц и исключается на приеме. Поэтому ни одна битовая последовательность в кадре не может быть ошибочно расшифрована как флаговая, как комбинация освобождения интерфейса.

9.8. Структура элементарного микропроцессора

Микропроцессор – функционально законченное устройство обработки информации, управляемое хранимой в памяти программой.

По конструктивному признаку МП можно разделить на однокристалльные МП с фиксированной длиной (разрядностью) слова и определенной системой команд; многокристалльные (секционированные) МП с наращиваемой разрядностью слова и микропрограммным управлением (они состояются из двух СБИС и более).

Архитектура многокристалльного МП с микропрограммным управлением позволяет достичь гибкости в его применении и сравнительно простыми средствами организовать выполнение отдельных машинных операций, что повышает производительность ЭВМ на таких МП.

Несмотря на то, что возможности многокристалльных МП существенно выше, чем у однокристалльных, многие прикладные задачи успешно решаются на основе использования однокристалльного микропроцессора.

В состав микропроцессора (рис. 9.13) входят арифметико-логическое устройство, устройство управления и блок внутренних регистров.

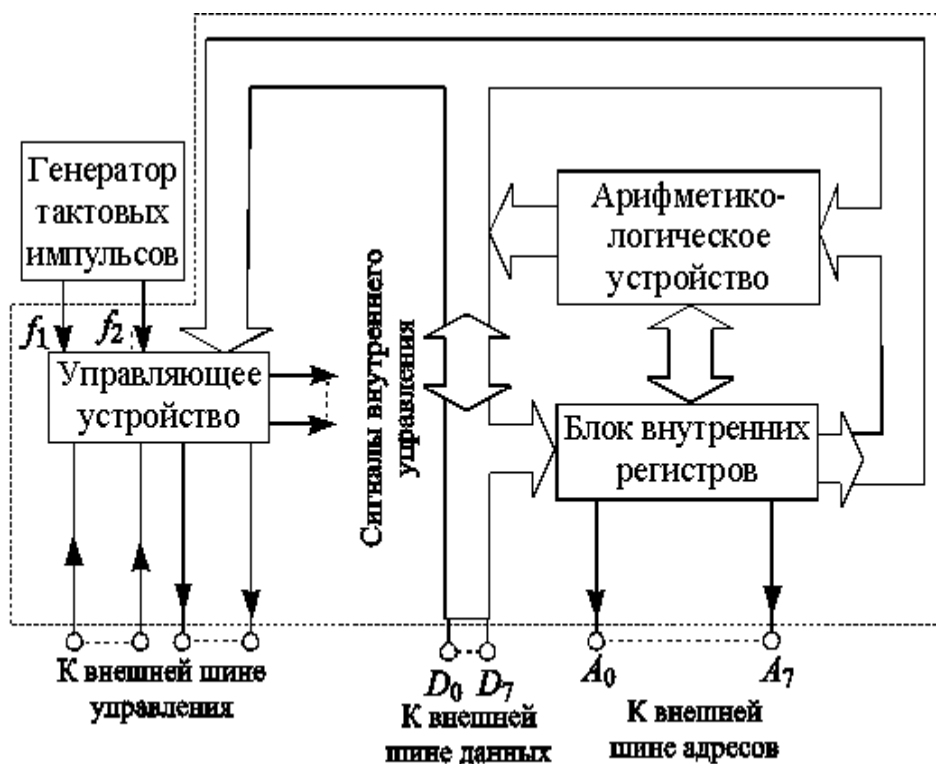


Рис. 9.13

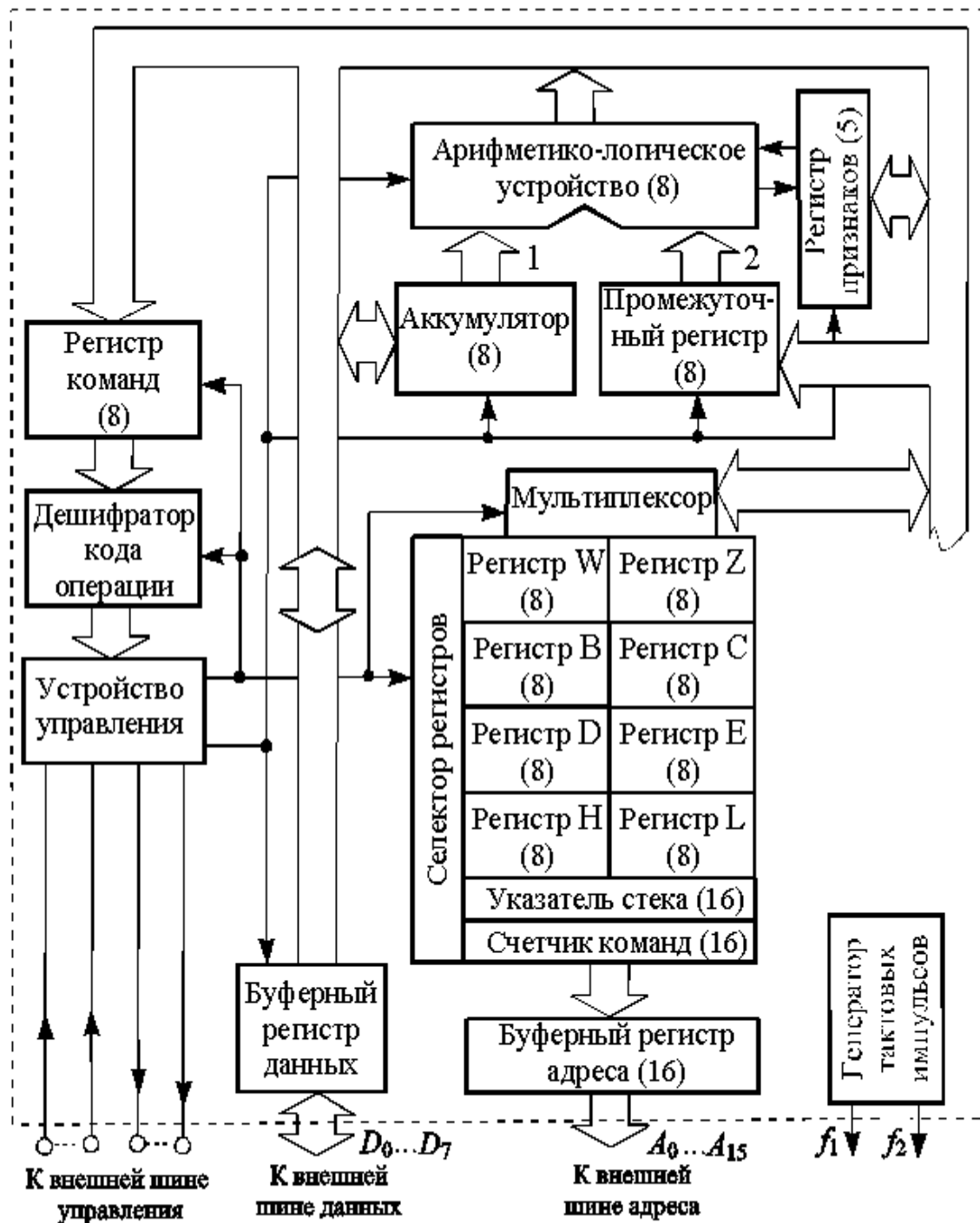


Рис. 9.14

Арифметико-логическое устройство (АЛУ) состоит из двоичного сумматора со схемами ускоренного (параллельного) переноса, сдвигающего регистра и регистра для временного хранения операндов (аргу-

ментов функции участвующих в операции). Обычно это устройство выполняет по командам несколько простейших операций: сложение, вычитание, сдвиг, пересылку, логическое сложение (ИЛИ), логическое умножение (И), сложение по модулю 2.

Устройство управления (УУ) управляет работой АЛУ и внутренних регистров в процессе выполнения команды. Согласно коду операции, оно формирует внутренние сигналы управления блоками МП. Адресная часть команды совместно с сигналами управления используется для считывания данных из определенной ячейки памяти или для записи данных в ячейку. По сигналам УУ осуществляется выборка каждой новой, очередной команды.

Блок внутренних регистров (БВР), расширяющий возможности АЛУ, служит внутренней памятью МП и используется для временного хранения данных и команд. Он также выполняет некоторые процедуры обработки информации.

На рис. 9.14 приведена более подробная структурная схема однокристалльного МП. Здесь блок внутренних регистров содержит регистры общего назначения и специальные регистры: регистр-аккумулятор, буферный регистр адреса, буферный регистр данных, счетчик команд, регистры команд, стека, признаков.

Регистры общего назначения (РОН), число которых может изменяться от 4 до 64, в значительной мере определяют вычислительные возможности МП. Их основная функция - хранение операндов. Но они могут выполнять и роль специальных регистров. Все РОН доступны программисту, который их рассматривает как сверхоперативное запоминающее устройство. Парное расположение регистров *B* и *C*, *D* и *E*, *H* и *L* дает возможность проводить обработку двухбайтовых слов, называемую обработкой «удвоенной точности». Обмен данными с РОН (считывание и запись информации) осуществляется через *мультиплексор*, причем требуемый регистр выбирается с помощью *селектора регистров по сигналу УУ*.

Регистр-аккумулятор, обычно называемый просто аккумулятором (встречается также название «накопитель»), предназначен для временного хранения операнда или промежуточного результата арифметических и логических операций, производимых АЛУ. При выполнении какой-либо операции с двумя операндами в этом регистре содержится один из используемых операндов, а после выполнения операции - ее результат. Разрядность регистра равна разрядности информационного слова.

Буферный регистр адреса служит для приема и хранения адресной части исполняемой команды. Иначе говоря, в нем содержится адрес

слова до выдачи на адресную шину. Возможное количество адресов, т. е. непосредственно адресуемых слов памяти, определяется разрядностью этого регистра. Так, в 16-разрядном регистре, изменяя значения разрядов двухбайтового слова, можно помещать любое из $2^{16} = 65536$ адресов ячеек (слов) памяти.

Буферный регистр данных используется для временного хранения выбранного из памяти слова перед выдачей его во внешнюю шину данных. Его разрядность определяется количеством байтов информационного слова.

Счетчик команд содержит адрес ячейки памяти, в которой помещены байты выполняемой команды. Обычно команды определенной программы находятся в последовательно расположенных ячейках памяти: число, указывающее адрес каждой последующей ячейки, на единицу больше числа, отмечающего адрес данной ячейки. Поэтому переход к следующей команде достигается увеличением числа, содержащегося в счетчике команд, на единицу. В ходе выполнения текущей команды, т. е. при передаче команды из памяти в МП, содержимое счетчика команд увеличивается на единицу и образуется адрес очередной команды. Если после данной команды требуется использовать команду, хранимую не в соседней, а в другой, например удаленной, ячейке памяти, то по сигналу УУ в счетчик команд заносится адрес удаленной ячейки.

Регистр команд принимает и хранит код очередной команды, адрес которой находится в счетчике команд. По сигналу УУ в него передается из регистра хранимая там информация.

Регистры стека делятся на стек и указатель стека. Название «стек» происходит от английского слова *stack*, что в дословном переводе означает штабель (дров), кipa (бумага) и др. В МП стек представляет собой набор регистров, хранящих адреса команд возврата при обращении к подпрограммам или состояния внутренних регистров при обработке прерываний. Этот набор организован таким образом, что слово адреса или данных выбирается по принципу: «вошедший последним - выходит первым». При записи в стек очередного слова все находящиеся в нем слова сдвигаются на один регистр вниз. После выборки слова из стека оставшиеся слова сдвигаются на один регистр вверх. Стек может быть выполнен не только на внутренних регистрах МП, составляя его часть, но и находиться в ОЗУ, занимая там выделенную для него зону. В последнем случае стек получается более глубоким, емким, однако для обращения к нему необходим специальный регистр - указатель стека.

Указатель стека хранит адреса последней занятой ячейки стека, которую называют вершиной. Содержащееся в указателе число указывает, где находится вершина стека. Когда в стек записывается очередное

слово, то число в указателе стека соответственно увеличивается. Извлечение слова из стека сопровождается, наоборот, уменьшением числа, заполняющего указатель стека. Кроме такой процедуры, предусматривается возможность считывания без разрушения содержимого любой ячейки стека при неизменном числе, хранимом в указателе стека.

Регистр признаков представляет собой набор триггеров — флажков. В зависимости от результатов операций, выполняемых АЛУ, каждый триггер устанавливается в состояние 0 или 1. Флажковые биты, определяющие содержимое регистра, индицируют условные признаки: нулевого результата, знака результата, переполнения и т. п. Эта информация, характеризующая состояние процессора, важна для выбора дальнейшего пути вычислений.

Рассмотрим более подробно основные части микропроцессора (рис. 9.14). *Внутренняя шина данных* соединяет между собой основные части МП. *Шиной* называют группу линий передачи информации, объединенных общим функциональным признаком. В микропроцессорной системе используются три вида шин: данных, адресов и управления.

Разрядность внутренней шины данных, т. е. количество передаваемых по ней одновременно (параллельно) битов числа, соответствует разрядности слов, которыми оперирует МП. Очевидно, что разрядность внутренней и внешней шин данных должна быть одной и той же. У восьмиразрядного МП внутренняя шина состоит из восьми линий, по которым можно передавать последовательно восьмиразрядные слова - байты. Следует иметь в виду, что по шине данных передаются не только обрабатываемые АЛУ слова, но и командная информация. Следовательно, недостаточно высокая разрядность шины данных может ограничить состав (сложность) команд и их число. Поэтому разрядность шины данных относят к важным характеристикам микропроцессора - она в большой мере определяет его структуру (числа разрядов указаны на рисунке в скобках рядом с названиями блоков).

Шина данных МП работает в режиме двунаправленной передачи, т. е. по ней можно передавать слова в обоих направлениях, но не одновременно. В этом случае требуется применение специальных буферных схем и мультиплексного режима обмена данными между МП и внешней памятью. *Мультиплексный режим* (от английского слова multiple - многократный, множественный), иногда называемый *многоточечным* - режим одновременного использования канала передачи большим числом абонентов с разделением во времени средств управления обменом.

Восьмиразрядное арифметико-логическое устройство выполняет все арифметические и логические операции. На первый вход АЛУ поступает байт из восьмиразрядного аккумулятора, а на второй вход - из

восьмиразрядного промежуточного регистра (регистр временного хранения). Результат сложения указанных двух байтов передается с выхода АЛУ через внутреннюю шину данных в аккумулятор. Такая организация удовлетворяет одноадресной организации микропроцессора. Для нее характерно то, что один из операндов, участвующих в обработке, всегда находится в аккумуляторе, адрес которого задан неявно. Поэтому при выполнении операции сложения двух операндов требуется указывать только один адрес — второго операнда, содержащегося, например, в одном из восьми регистров общего назначения (РОН). К АЛУ подключены регистр признаков, предназначенный для хранения и анализа признаков результата операции.

ЛИТЕРАТУРА

1. Проектирование радиоэлектронных устройств на интегральных микросхемах/ Под ред. С.Я. Шаца. – М: Сов. радио, 1976. – 312 с.
2. Гутников В.С. Интегральная электроника в измерительных устройствах. –Л.: Энергоатомиздат, 1988 – 304 с.
3. Балашов Е.П. Пузанков Д.В. Микропроцессоры и микропроцессорные системы. – М.: Радио и связь, 1989. – 584 с.
4. Шахнов В.А. Микропроцессоры и микропроцессорные комплекты интегральных микросхем: Справочник, т.1 – М.: Радио и связь, 1989. – 848 с.
5. Справочник по интегральным микросхемам / Под ред. Б.В. Тарабрина. – 2-е изд. – М.: Энергия, 1981. – 816 с.
6. Полупроводниковые приборы: диоды, тиристоры, оптоэлектронные приборы: Справочник / Под ред. Н.Н. Горюнова. – М.: Энергоиздат, 1982. – 744 с.

ОГЛАВЛЕНИЕ

Введение.....	3
1. Логические устройства.....	5
1.1. Основы булевой алгебры.....	6
1.2. Логические функции.....	9
1.3. Построение комбинационной логической схемы по заданной функции.....	11
1.4. Минимизация логических функций.....	15
1.5. Метод карт Карно (или диаграммы Вейча).....	16
1.6. Особенности схемного построения логических элементов	17
1.6.1. Универсальный логический ТТЛ-элемент И-НЕ в интегральном исполнении.....	18
1.6.2. Параметры интегральных логических элементов.....	20
2. Типовые комбинационные элементы.....	23
2.1. Дешифраторы, шифраторы.....	23
2.2. Демультимплексоры, мультиплексоры.....	25
2.3. Сумматоры.....	27
3. Триггеры.....	29
3.1. Общие положения.....	29
3.2. <i>RS</i> -триггеры асинхронные, неактивируемые).....	30
3.3. Синхронизированные <i>RS</i> -триггеры	34
3.4. <i>JK</i> -триггеры.....	36
3.5. <i>D</i> –триггеры.....	39
3.6. <i>T</i> -триггеры.....	43
4. Счетчики.....	45
4.1. Общие положения	45
4.2. Двоичные счетчики на <i>T</i> -триггерах	46
4.3. Двоично-десятичные счетчики	51
4.4. Реверсивные счетчики.....	53
4.5. Счетчик с произвольным модулем коэффициента счета..	57
5. Регистры.....	58

5.1.	Общие положения	58
5.2.	Регистры хранения	59
5.3.	Регистры сдвига	61
5.4.	Универсальные регистры	63
6.	Запоминающие устройства.....	64
6.1.	Интегральные ОЗУ.....	64
6.2.	Постоянные запоминающие устройства.....	66
6.3.	Программируемые постоянные запоминающие устройства (ППЗУ).....	67
7.	Элементы и узлы аналоговых преобразователей.....	68
7.1.	Операционный усилитель.....	68
7.2.	Идеальный ОУ с конечным коэффициентом усиления... ..	72
7.3.	Теорема суперпозиции и мнимое заземление.....	73
7.4.	Погрешность и стабильность коэффициента усиления... ..	74
7.5.	Частотная характеристика.....	75
7.6.	Напряжение смещения.....	78
7.7.	Входной ток смещения.....	81
7.8.	Коэффициент усиления синфазного сигнала.....	82
7.9.	Входное сопротивление.....	84
7.10.	Выходное сопротивление.....	86
7.11.	Рассеиваемая мощность и ограничение по току.....	87
7.12.	Активные фильтры.....	89
7.13.	Компараторы напряжения.....	91
7.14.	Автоколебательный генератор.....	95
7.15.	Схема выборки и хранения	97
8.	Элементы и узлы аналого-цифровых преобразователей... ..	98
8.1.	Цифро-аналоговый преобразователь.....	98
8.2.	Аналого-цифровые преобразователи.....	100
8.2.1.	Параллельный преобразователь.....	102
8.2.2.	АЦП последовательного счета.....	103
8.2.3.	АЦП последовательного приближения.....	104
8.2.4.	АЦП двойного интегрирования.....	106
8.2.5.	АЦП с преобразованием напряжения в частоту.....	108
8.3.	Аналого-цифровые множительно-делительные устройства	109

9. Микропроцессорные системы.....	112
9.1. Архитектура цифровой ЭВМ.....	112
9.2. Дешифрация адреса в ЭВМ.....	114
9.3. Интерфейс с ПЗУ.....	116
9.4. Интерфейс с реальными портами ввода/вывода (ВВ).....	118
9.5. Синхронизация прерыванием передачи данных в устройство ВВ.....	120
9.6. Обнаружение ошибок при передаче информации.....	123
9.7. Системный интерфейс.....	125
9.8. Структура элементарного микропроцессора.....	128
Литература.....	134

Александр Юрьевич Чернышев
Евгений Алексеевич Шутов

ЭЛЕКТРОННАЯ И МИКРОПРОЦЕССОРНАЯ ТЕХНИКА

Учебно пособие

*Научный редактор доктор технических наук,
профессор С.И. Качин*


Редактор Н.Я. Горбунова

Подписано к печати 03.02.10. Формат 60x84/16. Бумага «Классика».
Печать RISO. Усл.печ.л. 8,02. Уч.-изд.л. 7,25.
Заказ 508-11. Тираж 100 экз.



Национальный исследовательский Томский политехнический университет
Система менеджмента качества
Издательства Томского политехнического университета сертифицирована
NATIONAL QUALITY ASSURANCE по стандарту BS EN ISO 9001:2008



ИЗДАТЕЛЬСТВО  ТПУ . 634050, г. Томск, пр. Ленина, 30
Тел./факс 8(382)56-35-35. www.tpu.ru